

(51) Int.Cl.  
 H 01 L 29/786  
 G 02 F 1/1368  
 H 01 L 29/43  
 21/336

識別記号

F 1  
 H 01 L 29/78 6 1 6 V  
 G 02 F 1/136 5 0 0  
 H 01 L 29/02 G  
 29/78 6 1 2 B  
 6 1 3 A

F-73-1-1 (参考)

審査請求 未請求 請求項の数12 ○ L (全 31 頁) 最終頁に続く

(21)出願番号 特2000-347343(P2000-347343)  
 (22)出願日 平成12年11月14日(2000.11.14)  
 (31)優先権主張番号 特願平11-330174  
 (32)優先日 平成11年11月19日(1999.11.19)  
 (33)優先権主張国 日本 (J P)

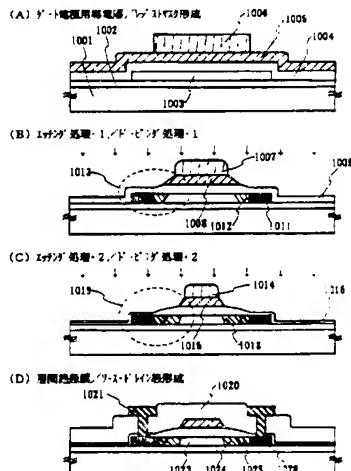
(71)出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72)発明者 小野 荘治  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内  
 (72)発明者 賀沢 英臣  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内  
 (72)発明者 荒尾 達也  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

## (54)【発明の名称】 半導体装置及びその作製方法

## (57)【要約】

【課題】 アクティブマトリクス型の表示装置に代表される半導体装置において、各種回路に配置されるTFTの構造を回路の機能に応じて適切なものとして、半導体装置の動作特性および信頼性を向上させると共に、工程数を削減して製造コストの低減と歩留まりの向上を実現することを目的としている。

【解決手段】 半導体層と該半導体層に接して形成された絕縁膜と該絶縁膜の上にデータ部を有するゲート電極を有する半導体装置において、半導体層は、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、チャネル形成領域に接しLDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、第2の不純物領域に含まれる一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなる。



## 【特許請求の範囲】

【請求項1】半導体層と、該半導体層に接して形成された絕縁膜と、該絶縁膜の上のテープ一部を有するゲート電極とを有する半導体装置において、前記半導体層は、チカネル成膜域と、一導電型の不純物元素を含むチカネル成膜域またはドレイン領域を形成する第1の不純物領域と、チカネル成膜域に接して該絶縁膜を形成する第2の不純物領域を有し、前記第2の不純物領域から朝はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記チカネル成膜域の不純物元素の濃度は、前記チカネル成膜域から離ざかるに従って高くなることを特徴とする半導体装置。

【請求項2】チャネル型導通トランジスタを有する半導体装置において、前記チャネル型導通トランジスタは、半導体層と、該半導体層に接して形成された絕縁膜と、該絶縁膜の上にテープ一部を有するゲート電極と有し、前記半導体層は、チカネル成膜域と、一導電型の不純物元素を含むチカネル成膜域またはドレイン領域を形成する第1の不純物領域と、該チカネル成膜域に接して高くなることを特徴とする半導体装置。

【請求項3】前記チャネル型導通トランジスタを有する半導体装置において、前記チャネル型導通トランジスタは、半導体層と、該半導体層に接して形成された絶縁膜と、該絶縁膜の上にテープ一部を有するゲート電極と有し、前記半導体層は、チカネル成膜域と、一導電型の不純物元素を含むチカネル成膜域またはドレイン領域を形成する第1の不純物領域と、該チカネル成膜域に接して高くなることを特徴とする半導体装置。

【請求項4】前記チャネル型導通トランジスタを有する半導体装置において、前記半導体層は、チカネル成膜域と、一導電型の不純物元素を含むチカネル成膜域またはドレイン領域を形成する第1の不純物領域と、該チカネル成膜域に接して高くなることを特徴とする半導体装置。

【請求項5】前記チャネル型導通トランジスタを有する半導体装置において、前記半導体層は、チカネル成膜域と、一導電型の不純物元素を含むチカネル成膜域またはドレイン領域を形成する第1の不純物領域と、該チカネル成膜域に接して高くなることを特徴とする半導体装置。

【請求項6】半導体層と、該半導体層に接して形成された絶縁膜と、該絶縁膜の上のテープ一部を有するゲート電極と、該絶縁膜の上に有する第1の不純物領域と、前記半導体層を有する半導体装置において、前記チカネル成膜域から離ざかるに従って高くなることを特徴とする半導体装置。

【請求項7】請求項6の半導体装置において、前記チカネル成膜域から離ざかるに従って高くなることを特徴とする半導体装置。

【請求項8】請求項6の半導体装置において、前記チカネル成膜域から離ざかるに従って高くなることを特徴とする半導体装置。

【請求項9】請求項6の半導体装置において、前記チカネル成膜域から離ざかるに従って高くなることを特徴とする半導体装置。

【請求項10】半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にニッケルグリード第1のテーパー形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にペーピングする第4の工程と、前記第1のテーパー形状を有する導電層を選択的にニッケルグリード第2のテーパー形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にペーピングする第6の工程と、前記第6の工程でペーピングする一導電型の不純物元素の濃度は、前記第4の工程でペーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項11】前記チャネル型導通トランジスタを有する半導体装置の作製方法において、前記チャネル型導通トランジスタを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にニッケルグリード第1のテーパー形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にペーピングする第4の工程と、前記第1のテーパー形状を有する導電層を選択的にニッケルグリード第2のテーパー形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にペーピングする第6の工程と、前記第6の工程でペーピングする一導電型の不純物元素の濃度は、前記第4の工程でペーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項12】前記チャネル型導通トランジスタを有する半導体装置において、前記チャネル型導通トランジスタを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にニッケルグリード第1のテーパー形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にペーピングする第4の工程と、前記第1のテーパー形状を有する導電層を選択的にニッケルグリード第2のテーパー形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にペーピングする第6の工程と、前記第6の工程でペーピングする一導電型の不純物元素の濃度は、前記第4の工程でペーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

第1のチーバー形状を有する導電層を形成する第1の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第1のチーバー形状を有する導電層を選択的にエッチングして第2のチーバー形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第3の工程の後に一導電型の不純物元素をドーピングする第5の工程と、前記第4の工程の後に一導電型の不純物元素をドーピングする第6の工程と、前記第5の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項1-1】画面部を有する半導体装置の作製方法において、前記画面部の各画素に設けられる導電ヘッドを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第3のチーバー形状を有する導電層を形成する第4の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第5の工程と、前記第1のチーバー形状を有する導電層を選択的にエッチングして第6のチーバー形状を有する導電層を形成する第7の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第8の工程と、前記第7の工程でドーピングする一導電型の不純物元素の濃度は、前記第5の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項1-2】請求項1乃至請求項1-1にいずれか一項において、前記チーバー部を有するゲート電極のチーバー部の角度は、30度～60度で形成することを特徴とする半導体装置の作製方法。

【請求項1-3】請求項1乃至請求項1-2にいずれか一項において、前記チーバー部を有するゲート電極は、ターピステン、タンタル、チタンから選ばれた元素、または前記元素を成分とする化合物あるいは合金で形成することを特徴とする半導体装置の作製方法。

#### 【発明の詳細な説明】

##### 【(1) (1) 1】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ(以下、TFTと記す)で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画面部と駆動回路を同一の基板上に設けた液晶表示装置または表示装置に代表される電気光学装置、およびそのような電気光学装置を搭載した電子機器に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した機器をその範囲に含んである。

##### 【(1) (1) 2】

【発明の技術】駆動素子を配置して画面部を構成した表示装置はアクティオマトリクス型表示装置と呼ばれ、液晶表示装置やシリコンエターナレル、以下、同じで表示装置などと開発されている。駆動素子には逆線形ヘッド型のヘッドランジスタが用いられ、好適にはTFTで構成されている。TFTではガラスなどの基板上に気相成長法などにより半導体膜を形成し、その半導体膜でチカッジ成長域やチカッジ領域を形成する。チカッジ成長域にはシリコンシリコンゲート半導体膜にはシリコンシリコンゲートなどシリコンを主成分とする材料が好適に用いられている。半導体膜はその作製法により、非晶質シリコンに代表される非晶質半導体膜と、多結晶シリコンに代表される結晶質半導体膜に分類することができる。その他に近年では单結晶シリコン基板に形成された絶縁ゲート型トランジスタで画面部を構成する技術も開発されている。

【(1) (1) 3】非晶質半導体(代表的には非晶質シリコン)膜で活性層を形成したTFTは、非晶質構造などに起因する電子物性的要因から、1.0×10<sup>-4</sup> A/sec以上の電界効果移動度を得ることは殆ど不可能であった。そのため、アクティオマトリクス型の液晶表示装置では、画面部において液晶を駆動するためのスイッチング素子(このうち、シリコン素子をTFTで構成したもの)を以下、画素TFTと記す。として使用することはできても、画素表示を行うための駆動回路を形成することは不可能である。そこで、駆動回路はTAB(Tape Automated Bonding方式やCOG(Chip on Glass)方式を用いてドライド(ドライ)などを実装する技術が用いられている。

【(1) (1) 4】一方、結晶構造を含む半導体(以下、結晶質半導体と記す)膜(代表的には、結晶質シリコン、あるいは多結晶シリコン)を活性層としたTFTでは、高い電界効果移動度が得られることから各種の環状回路を形成して駆動することが出来、同一のガラス基板上に画素TFTその他に駆動回路においてシフトレジスタ回路、レジスタ回路、パルス回路、サンプリング回路などを実現するところ可能となつた。駆動回路は、ルチャネル型TFTとチャネル型TFTから成るCMOS回路を基本として形成されている。このような駆動回路の実装技術が確立した。液晶表示装置において多量化および薄型化を推進するためには、画面部の他に駆動回路を同一基板上に一体形成できる結晶質半導体膜を活性層とするTFTが適してると考えられている。

##### 【(1) (1) 5】

【発明が解決しようとする課題】までの特性から比較する結晶質半導体膜で活性層を形成した方が優れているが、画素TFTの他に各種回路に専用したTFTを作製するためには、その製造工程が複雑なものとなり工程数が増加してしまる問題がある。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下さ

せる原因となることは明らかである。

【(0) 10】画素 TFT と駆動回路の TFT とでは、それらの回路の動作条件は必ずしも同一ではない。そこで TFT 上に要求される特性もいろいろと異なって来る。チャネル型 TFT が形成される画素 TFT では、アーチング要素として液晶電圧を印加して駆動させていく。液晶は交差で駆動しているので、アーチング要素と駆動と呼ばれる方が多いと採用されている。画素 TFT では、フレーム期間の間、液晶層に蓄積した電荷を保持するためオフ電流値 TFT が動作時に流れ込む電流を十分低くすることが要求されている。一方、駆動回路の TFT は回路などには高い駆動電圧が印加されるため、耐電圧を印加されても壊れないように耐圧を高めておく必要がある。また電源駆動能力を高めるために、オフ電圧値 TFT が動作時に流れ込む電流を十分確保する必要がある。

【(0) 11】オフ電流値を低減するため TFT の構造として、低濃度ドライイン (Low Density Drain) 構造が知られている。この構造はチャネルも成膜域と、高濃度に不純物元素を添加して形成する「アーチング要素」とは「ドライイン領域」との間に低濃度に不純物元素を添加した領域を設けたものである。この領域を「ドライイン領域」と呼んでいる。また、ホットキャリアによるオフ電流値の低減を防ぐための手段として、ドライイン領域をゲート絶縁膜を介してゲート電極と重ねて配置させた「オーバーラップゲート (Gate-Train Overlapped LD)」構造がある。このような構造とすることで、ドライイン近傍の電界が緩和されホットキャリア活性を防ぎ、劣化現象の防止に有効であることが確認されている。

【(0) 12】しかし、画素 TFT と、アーチング要素回路やパッカ回路などの駆動回路の TFT 上では、そのアーチング要素と駆動回路との間に近傍の電界を緩和してホットキャリア活性による劣化を防ぐ効果は低い。このような問題は、特に結晶質 TFT 上において、その特性が向上し、またアーチング要素回路の TFT は基本的に逆バイアス状態で動作することはない。また、LD構造はオフ電流値の劣化を防ぐ効果は高いが、单純にゲート電極と重ねて配置させるだけではオフ電流値が大きくなってしまう。一方、通常の LD構造はオフ電流値を抑える効果は高いが、ドライイン領域の電界を緩和してホットキャリア活性による劣化を防ぐ効果は低い。このような問題は、特に結晶質 TFT 上において、その特性が向上し、またアーチング要素回路の TFT は基本的に逆バイアス状態で動作することはない。

【(0) 13】本発明はこのような問題点を解消するための技術であり、TFT を用いて作製するアーチングマトリクス型の表示装置に代表される半導体装置において、

各種回路に配置される TFT の構造を、回路の機能に応じて適切なものとすることにより、半導体装置の動作性能および信頼性を向上させると共に、工程数を削減して製造するための低コストおよび低品質の向上を実現することを目指すとする。

【(0) 14】

【課題を解消するための手段】製造コストの低減および歩留まりを実現するには、工程数を削減することが一つの手段として採用できる。具体的には、 TFT の製造に要するオーバーラップの枚数を削減することが必要である。オーバーラップはオーバーラップマスクの技術において、ニッチング工程のマスクとするレジスト「ターン」を基板上に形成するために用いる。このオーバーラップマスクを1枚使用することは、チップ後の工程において複数の工程においても、レジスト塗布、プレベーク、露光、現像、ガストパークなどの複雑な工程が行われることを意味する。

【(0) 15】オーバーラップ枚数を削減しても、各種回路に配置される TFT の構造をその回路の機能に応じて適切なものとする。具体的には、画素部に設けるスイッチング要素用の TFT では、動作速度よりもオフ電流値を低減させることに重点を置いた構造が望ましい。そのような構造として、アーチゲート構造を採用する。一方、高速動作が要求される駆動回路に設けられる TFT では、動作速度を高めることと、それと同時に蓄積問題となるオーバーラップによる劣化を抑制することに重点を置いた構造が必要となる。その構造を「ドライイン領域」に工夫を加えて実現する。即ち、チャネルも成膜域とドライイン領域との間に設けるドライイン領域において、ドライイン領域に近づいて单純に導電性膜用の不純物元素の濃度を高め、なるべく適度な濃度勾配を持たせることにより、ドライイン領域近傍の電界において電界が集中するのを緩和する効果を高めることができる。LD構造の一部はゲート電極と重ねるように設けても良い。

【(0) 16】上記のような不純物元素の濃度勾配を有する LD構造を形成するために、イオン化した導電型制御用の不純物元素を、電界で加速してゲート電極の一部とゲート絶縁膜とが発明では、ゲート電極ごと導電層と密接してその二者の間に設けられるゲート絶縁膜とゲート絶縁膜からその周囲の領域に延びた導電膜を含めてゲート絶縁膜と称する。を通過させて、導電層にドーピングするドーピングを用いる。さらに、ゲート絶縁膜の形状をゲート電極の端部から内側に向かってきしめ算さず増加するいわゆるテーパー形状とし、その算さず増加を利用して導電層にドーピングする不純物元素の濃度を制御する。即ち、TFT のチャネル長方向に向かって不純物元素濃度が徐々に変化する LD構造を有する。

【(0) 17】具体的には、ゲート電極をドライイン領域

に対して第1のエッティング処理を行い、所定の領域の導電質を除去して半導体基板上に一部の領域にゲート電極膜が露出させる。こなたを導電質は底部から上面にさかって焼いて裏面に裏面に増加するゲートサミットを、そして、導電質の不純物を含むを除する第1のドアゲート処理を行って、第1の低濃度不純物領域を形成を行なう。次いで、前段に第1のエッティング処理と、第2のドアゲート処理を以て、第2の低濃度不純物領域を形成を行なう。DDDD構造は第1の焼成の低濃度不純物領域から形成される。この場合、第1のエッティング処理によってゲート電極の形状が確定し、第2のドアゲート処理は条件を適当なものとすれば同じ領域を一部を除いて、電極に重ねて設けることができる。

(心：4) このように、本免明はエリザベス理にトービー、アーリを複数回繰り返して示す。しかし彼を成すことに特徴がある。その要は、チヌイヌと同時に對して體度の異なるLDCを複数回示すことができる。したがつて、本免明の下で體度を設置的または連続的に變化させることができる。

【ひきう】ゲート電極を形成する導電性金属は導電性導電性材料を用いること好ましく、タングステン、W、タリウム、Ta、エタニウム、Ti、もしくは組合せた元素または前記元素を含むとするに合せば、はるかに形成する。此によく前記導電性導電性材料を高密度でかつ高精度良好に、高密度グラブを用いたマイクロチ、チ、孔を適用することが好まし。高密度マイクロチを用ひ手作にはマ、ドロボウ説導結合二極管 *Inductively coupled diode*、ICD を用いたエレクトロニクス装置が適用してい る。特に、このエレクトロニクス装置はグラブマ、削削法で容易に、

易であり、基板の半導体化にも対応でき、  
【0011】以上のように、本発明の構成は、半導体層  
と、該半導体層に接して形成された逆説膜と、該逆説膜  
の上にチーパー部を有するゲート電極とを有する半導体  
装置において、半導体層は、チャネル部成領域と、一導  
電型の不純物元素を含むチーパー部領域または、イン領域  
を形成する第1の不純物領域と、該チーパー部成領域に接し  
てLD領域を形成する第2の不純物領域を有し、第2  
の不純物領域の一部はゲート電極と重複して設けられ、  
該第2の不純物領域に含まれる一導電型の不純物元素の  
濃度は、チャネル部成領域から遠ざかるに従って高くな  
ることを特徴としている。

(017) こによる本発明の構成は、基板上に、  
下を成した半導体装置に好適に用いることができる。  
チャネル型TFとチャネル型TFを有する半導  
体装置においては、チャネル型TFでは基本層が、  
チャネル形成領域ごと、一種複数の不純物元素を含むノ  
ード部またはドレイン領域を形成する第1の不純物領域  
と、チャネル形成領域に接しDを領域を有する第2の  
不純物領域を有し、第2の不純物領域の一部はゲート

電極上重ねて設けられ、該第二回の不純物領域に含まれる前記第一導電型の不純物元素の量は、チタニウム領域から遠ざかるにつれて高くなり、チタニウム、金属性の半導体層からチタニウム、半導体領域と呼ばれる改変層は、導電率を形成する所第2の不純物領域、該チタニウム領域を形成する所第3の不純物領域と、不純物領域に復して同じく導電率を形成する所第4の不純物領域を有する。第2の不純物領域は第3導電率の不純物領域とには、導電型の不純物元素が、導電率は逆に第3導電型の不純物元素を含むことを特徴とする。

(1) (1-5) 亂書記を有する半導体装置においては、各画素に形成されるいわゆるモニタの下部の各画素には、チャネル抵抗領域と、一基電極の不純物元素を含むノード領域等はない。ノード領域を有する第1の不純物領域と、該チャネル抵抗領域に接し、しかも形成寸法を第2の不純物領域を有し、第2の不純物領域が一部は第3の不純物領域を有し、第2の不純物領域が一部は電極と重ねて設けられ、該第2の不純物領域に含むチャネル抵抗領域の不純物元素の濃度は、チャネル形成領域から遙かに高めてある。なることより特許としている。

〔0022〕このような本発明の構成は、基板上に下F下Tをも成した半導体基板の作製方法が複数用いることができる。半チャネル型薄膜トランジスタ用チャネル型構造トランジスタを有する導体配置においては、それぞれの半導体層上に導電路を形成する第1の工程と、導電路上に導電層を形成する第2の工程と、導電層を選択的にノードとして第3の工程と、これを有する導電層を形成する第4の工程と、第1の工程と、第2の工程の不純物元素を導体層にドーピングする第5の工程と、第6の工程と、ノードを有する導電層を遮断的にエッチングして第7の工程と、ノードを有する導電層を形成する第8の工程と、第9の工程の後に一導電型の不純物元素を導体層にドーピングする第10の工程と、第11の工程の後にリチャージ型薄膜トランジスタ用導体層を形成する第12の工程と、第13の工程とを有する。第6の工程でドーピングする半導体型は、第4の工程でドーピングする一導電型の不純物元素の濃度は、第4の工程でドーピングする一導電型の不純物元素の濃度よりも低く、第13の工程と

— 5 —

【4-2-1】 画素部を有する半導体装置の作製方法においては、各画素に設けられる TFT を形成する半導体層と絶縁膜を形成する第 1 の工程と、薄膜膜上に導電層を形成する第 2 の工程と、導電層を選択的にエッチングして第 3 の工程と、導電層を有する導電層を形成する第 4 の工程と、導電型の不純物元素を半導体層に導入して第 5 の工程と、第 1 の工程で同一画素を有する導電層を選択的にエッチングして第 6 の工程と、導電層を有する導電層を形成する第 7 の工程と、第 8 の工程において導電型の不純物元素を半導体層に導入する工程とを有する。

30/02/2023

〔発明の実施形態〕 本発明の実施形態を図1と図2を用いて説明する。図1-Aにおいて、基板10上にはコーン、アセチルセルロース、アセト酸ガラス等のアセト酸で被覆されるパリウムポリカーボ酸ガラス等のアリウム、酸ガラス等のアガラス基板の上に、ポリエチレンテレフタート(PET)、ポリエチレンナルファン、ポリエーテルセロロス(PEI)等の半導体の導電性を有しないアクリル等の樹脂板を用いることができる。また、ガラス基板を用いる場合にはガラス板を用いる。モード1とモード2の程度低い温度であらかじめ熱処理しておき、その後の工程で熱処理するまでの工程を示す。

【0023】基板100の上にTFTを形成する表面に、基板100の上から下死物拡散を防ぐために酸化シリコニ膜、窒化シリコニ膜または酸化窒化シリコニ膜など

の結晶膜から成る下地膜 1.0~2 を 10~20 層の厚さで形成する。下地膜は前記絶縁膜の一番でも成しても良い。しかし、複数の層で形成しても良い。

〔1.0~2〕島状半導体層 1.0~3 は、非晶質構造を有する半導体膜をレーザーアニール法や熱アニール法、またはラップドオーマルアニール法 (R-T-A 法) などで結晶化させた結晶質半導体膜から形成する。また、アーヴィタ法、ドライド法、VD 法、熱 CVD 法などでも成した結晶質半導体膜から成しても良い。或いは特開平 2-7

[0025] または、基板 100 [上に単結晶シリコン

質を形成した後も、*Single-Step Infiltration* 基板にしても良い。この基板にはその構造と作製方法によっていくつかの種類が知られているが、代表的には、*Top-M/N Separation* 分離型基板、*Top-Base A/N Separation Layer Transfer* チャップ化した基板構造、*Multi-Step Infiltration* 基板、*Multi-Step Infiltration Layer Transfer* チャップ化した基板構造などを使えることができる。勿論、その他多くの基板を使用することも可能である。

(1) (6) ゲート遮蔽環はブリヂストンVCD生、又「カタタ」、富田VCD生などによく、環厚±1.3~1.5 加

として、リコ<sub>n</sub>を含む地殻部で形成する。例えば、酸化シリコン複素化、リコ<sub>n</sub>複素化に伴いリコ<sub>n</sub>複素化から形成する。これを基して、リコ<sub>n</sub>ゲート绝缘膜、リコ<sub>n</sub>ゲートを形成する。そして、第1のモルタルゲート地殻膜、リコ<sub>n</sub>上にリコ<sub>n</sub>電極を形成するための導電膜、リコ<sub>n</sub>を形成する。この導電膜、リコ<sub>n</sub>は耐酸性を有する導電性材料から形成することを望ましく、耐酸性を形成しても良い。しかし、必要に応じて二層ある。この層と重ねた複数の層から成る複層構造としても良い。例えば、タンゲラフ。  
 (IV) タンタルタミチタリウム (Ti<sub>3</sub>Ta<sub>5</sub>)、モリブデン (Mo) から選ばれた元素、または前記元素を成分とする合金から成る。また、これら元素の複合物である窒化タングステン (WT<sub>x</sub>)、複合タンタルタミチタリウム (Ti<sub>3</sub>Ta<sub>5</sub>)、窒化チタン (Ti<sub>3</sub>N)、窒化モリブデン (Mo<sub>3</sub>N) やシリカイ化物であるタングステンリサイド、タンタリウムサルファタム、サルファム、モリブデンサルファムなどと複層構造を形成しても良い。そして、第1の形状アスペクトリコ<sub>n</sub>を形成する。第1のモルタルアスペクトリコ<sub>n</sub>は、リコ<sub>n</sub>マスクの吹き出し用いて、シスト材料で形成する。

(1) (2) そして図-17(2) で示す第1の二重チップ処理を行う。このエッチング処理はデーター二重チップであり、専電層: 10ミクを第1の形状のマスク: 10ミクにより端部にて一部剥がれ成るよう二重チップを用いて処理する。エッチング処理はマスク二重チップを用いた場合にはICPエッチングと接着剤を用いた基板側のハニカム電圧を印加して行う。まもなくも基板側を基板: 1.0ミク、上に第1のデーター二重チップを用いた専電層: 10ミクを形成する。チープな二重チップは、ICPエッチングの程に比、エチチング時の電力、基板側に印加するハニカム電圧によって変化させることができ、最もチープな二重チップを剥離できるには基板側に印加するハニカム電

庄である。

(0.38) ドライエ、チーズでは、チーズの主要な元素である窒素(%)などの元素または他の元素を含むチーズの中性化やイオウ種により行われる。通常、中性化によるエッセンスの吸配的であると兼活性にエッセンスの吸配的、テバーチー性は形成されにくくなる。若活性は、チーズは黄

、アス電圧を印加することにより異方性のニッティングが成される。テーパーチャップを形成するためのニッティングは、基幹側にバイアス電圧を印加する同時に、被膜との隙間(△)とカーニチング(△)の差、選択比とも呼ばれ、被膜のエッジニング速度(レーストのニッティング速度)を表す。をある一定範囲の値とし、レーストを同時にエッジングしないように、あわせて成るレジストの形状を通じたものとすることにより、レジストの端部から伸びたエッジングは、下地にあたる被膜にテーパー形状を形成することができる。

【(1) (2)】その後、図2-(1) (2)をマスクとして、第1のドーピング処理を行い、島状半導体層(10)に一導電型の不純物元素を添加する。ドーピング処理は不純物元素をイオン注入して電界で加速して半導体層に注入するイオンドーピング法、オーバル注入法で行う。一導電型の不純物元素はゲート絕縁膜(104)表面を露呈され、ゲート絶縁膜と表面からある程度(△)がされて開口のモードチャップが形成される。

【(1) (3)】その後、図2-(1) (2)をマスクとして、第2のドーピング処理を行い、島状半導体層(10)に一導電型の不純物元素を添加する。ドーピング処理は不純物元素をイオン注入して電界で加速して半導体層に注入するイオンドーピング法、オーバル注入法で行う。一導電型の不純物元素はゲート絶縁膜を通してその下の半導体層に添加する。一部の一導電型の不純物元素はテーパー部で形成された第1のテーパー形状を有する導電層(105)に、他の端部及びその近傍を通してその下の半導体層に添加することができる。

【(1) (4)】第1の不純物領域(101)、101には一導電型の不純物元素の濃度が、 $1 \times 10^{17} \text{ atoms/cm}^3$ の濃度で含まれるようになる。また、第2の不純物領域(101)には第1の不純物領域(101)に比較して同じ形状のゲート絶縁膜(104)の厚さを増加するが半導体層に添加される不純物元素の濃度が低下し、第2の不純物領域(101)には不純物元素の濃度が増加する。

【(1) (5)】図1-(B)において点線で囲んだ領域(101)の拡大図を図2-(A-1)に示す。また、図2-(A-2)は不純物元素の濃度分布を任意の単位量で模式的に示す図でありうる。不純物領域はゲート絶縁膜とゲート電極のテーパー部の下に形成される。不純物元素の濃度分布は図1-(3)で示され、第1の不純物領域(101)から遠ざかるにつれ減少する。この減少の割合は、 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ 、 $\zeta$ 、 $\eta$ 、 $\theta$ における印加電圧やテーパー長などの条件、テーパー部の角度 $\alpha$ や第1のモードチャップのゲート電極 $\beta$ による。

【(1) (6)】次に、図2-(1) (2)と同様に第2のエッジニング処理を行う。第2のエッジニング処理は異方性エッジニングであり、第1のモードチャップを有するゲート電極(104)のチーナル長方向の幅を狭めすようにニッティングする。ニッティングの方法は、第1のニッティング処理と同様である。ICPニッティング装置を用いる。エッジニングガス

には可燃性ガス(エチレン)と不燃性ガス(アセチレン)を用い、基板間にアス電圧を印加して行い、第2のモードチャップを有する導電層(105)を形成する。第2のエッジニング処理においても下地であるゲート絶縁膜(104)が被膜からエッジングされることはより第2のモードチャップが形成される。図2-(1) (2)を繰り返せば、図2-(A-1)の拡大図を図2-(A-1')に示すが、第2のモードチャップを有する導電層(105)の端部にもテーパー部が形成されるものの、チーナル長方向の幅を狭めすことに重点を置いてエッジングのためテーパー角 $\beta$ を $\beta'$ とすることである。

【(1) (7)】そして、図2-(1) (2)をマスクとして、第3のドーピング処理を行い、島状半導体層(10)に一導電型の不純物元素を添加する。この場合、一部の不純物元素は第1のテーパー形状を有する導電層(105)の端部及びその近傍を通してその下の半導体層に添加することができる。

【(1) (8)】第3のドーピング処理では、半導体層に、 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で一導電型の不純物元素が含まれるようになる。図2-(B-2)にも示すように、この処理では第1のドーピング処理で形成された第1の不純物領域(101)と第2の不純物領域(101')に、 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\epsilon$ 、 $\zeta$ 、 $\eta$ 、 $\theta$ にも重ねて一導電型の不純物元素が添加されるが、添加量が低いためその影響を無視することができる。新に形成される第3の不純物領域(101')には一導電型の不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で含まれるようにする。第2の不純物領域(101')は第2のテーパー部を有する導電層(105)の厚さが増加する分に半導体層に形成される不純物元素の濃度が低下し、第2の不純物領域

(101')の厚さで最も均一な濃度分布を取り得ない。上記濃度範囲で不純物元素が含まれるようになる。【(1) (9)】第2の不純物領域(101')は第2のモードチャップのゲート絶縁膜(104)の厚さと選ばれる。第2のモードチャップを有する導電層(105)の下に形成される。不純物元素の濃度 $\alpha$ は線(103)で示され、第1の不純物領域(101)から遠ざかるにつれ減少する。第2のモードチャップを有する導電層(105)はゲート電極として用いる。このように、ゲート電極の端部をテーパー部で用いて、テーパー部を通して不純物元素をドーピングすることにより、テーパー部の下に存在する半導体層中に、徐々に前記不純物元素の濃度が変化するような不純物領域を形成することができる。本発明はこのように不純物領域を構造的に有する。このよな不純物領域を形成することにより、ドレンイン領域近傍に発生する高電界を緩和して、ホールキャリアの発生を防ぎ、TFDの劣化を防ぐことができる。

【(1) (10)】以上のようにして、島状半導体層(10)にテーパー部またはドレンイン領域となる第1の不純物領域、ゲート電極と重ならないLD領域を形成する第2

〔1077〕  
〔実施例〕実施例1) 本発明の実施例を図1～図5を用いて説明する。これでは、奥義部の面義部下におよび面義部容量と、面義部周辺に設けられた駆動回路の下部を同時に作製する方法にて、正面に沿って詳細に説明する。

(0033) 52 A. について、基板 1 ) 1 には二

二〇一九年三月二十一日于香港1737577620

代表されるアリウムホウケイ酸ナトリウムアレミノアドアイ酸ガラスなどのガラス基板や石英基板などを用いる。

[0.1~2] 酸化空気シーコン復元炉中核炉の  
マニマニVDFを用いて成る。酸化空気シリコン換算、  
21は、 $S = 14.4$ を、 $1.00CMN$ 、 $N_2$ を $1.00CMN$ 、 $N_2$   
を $2.00CMN$ として反応室に導入し、基板温度 $325$   
℃、反応圧力 $4.0Pa$ 、放電電力密度 $0.41W/cm^2$ 、  
電離率放電率 $0.1$ とした。一方、酸化空気水素化シリコン  
22は、 $S = 14.4$ を $5.00CMN$ 、 $N_2$ を $1.0000$   
 $H_2$ を $1.2500CMN$ として反応室に導入し、基板温度 $325$   
℃、反応圧力 $2.0Pa$ 、放電電力密度 $0.41W/cm^2$ 、  
放電電離率 $0.1$ とした。これらの膜は、基板歪  
を変化させ、応力ガス切り替えのみで連続してえ  
ことができる。

(0.040) こよりして作製した酸化黒化シリコン  
膜100μは、密度が $1.25 \pm 1.0 \times 10^3$ g/cm<sup>3</sup>であり、  
酸化アルミニウムモリブデン(1:4HF)を7:1で混じて  
焼成したモリブデン(434°F)を1.5、4.4倍の混合溶  
液(モリブデン酸化物、塗装量1.5±0.001)に注  
ぎおこなう。チタン酸度が約30wt%と選、成膜  
しやすいのである。このよな組合を下地膜に用いると、  
この上に成る半導体層にガラス基板からのアルカリ引

第六章 五經傳文名句集解(上) 有動而無

〔引4-1〕次に、2.3へと加へ好ましくはるべからん。草木で非晶質構造を有する半導体層は、2.3を、アセチルアセト酸ヒドロキシルなどと並んで形成する。非晶質構造を有する半導体層には、非晶質半導体層などと並んで形成する。非晶質（コロゲンマニアムなど）と並んで形成する。非晶質構造を有する半導体層を適用しても良し、アセチルアセト酸ヒドロキシルなどと並んで形成する場合には、ドレイン1.2と非晶質半導体層1.0の間に、はめると連続を成すことも可能である。例えば、前のように酸化窒素シリコン層、2.1と酸化窒素シリコン層、2.2の上にドレイン1.0とを並べてドレインを連続して形成後、反応ガスを「H<sub>2</sub>」、「N<sub>2</sub>」から「H<sub>2</sub>」と「N<sub>2</sub>」の混合ガスを「H<sub>2</sub>」のみに切り替えると、一旦ガス供給装置を離れてから、2.2の上にドレインを形成する。その後、酸化窒素シリコン層2.1と連続して2.2の後の半導体層を防ぐことが可能となり、作製する TFT の特性がよりよじきい領域の変動を低減させることができる。

〔（二）〕 そして、硝晶ヒドロ二塗を行ひ半晶質半導体  
管：（二）（一）の半晶質半導体管、（二）（二）を作製する。それ  
の方法として、レーザーピンヒート半導体アーリー生  
成法<sup>1</sup>、また、よどいトローフアーニール生（R.T.A.  
生）を適用することができる。前述のようなガラス基板  
や耐熱性の好いガラスチック基板を用いる場合には、R.T.A.  
にレーザーピンヒートを適用することは可能<sup>2</sup>。R.T.A.  
法では、紫外線カーラー、ハロゲンランプ、メタルハ  
イドランプ、セラミックランプなどを光源に用いる。  
は特許第4,111,114号公報で開示された実施例に従  
って、被説元管を用い、結晶化生で活晶質半導体管  
（二）を形成することもできる。結晶ヒドロ二塗では、まず  
半晶質半導体管が含有する有機素を放出させておくこと  
を好ましく（（一）（一））して、（二）で1時間程度の熱変化  
し、含有する有機素を除去すれば、次に（二）にしてから蒸晶化  
せると導電率<sup>3</sup>が高まるので、これで（二）で（二）  
と導電率<sup>3</sup>を防ぐことができる。このので良い。

【00-43】また、プラズマCVD法で非晶質シリコンの形成工程において、又ミガスにSiH<sub>4</sub>とアルゴン(A<sub>2</sub>)を用い、成膜時の熱暴風温度を400℃へ450℃として表示すると、半晶質シリコン膜の含有率が暴風度を400mbar以下にすることができる。このような場合には、熱暴風を放出させるための熱処理は不要となる。

【00-44】結晶化をシーザー二面<sup>1</sup>にて行う場には、「ルモ発振型または連続発光型のエキシマレーザーやアーチゴン」レーザーをその光費とする。ルモ発振型のエキシマレーザーを用いる場合には、レーザー光を

オーバーラッピングをうりうらううとして行う。このようにして図3(B)に示すように結晶質半導体層1)をもつて得ることができます。

【(1)4-1】 そして、結晶質半導体層1)とともに第1ガラスゲートPM1)を用い、アモルファラフィーの技術を用いてリストアター1)を形成し、ライニッティングによって結晶質半導体層を基板に分割し、図3(B)に示すように島状半導体層1)へとりを形成する。結晶質シリコンのライニッティングにはCF4とArの混合ガスを用いる。

【(1)4-2】 このような島状半導体層に対し、TBTのしき、偏電圧(10V)を制御する目的で型を行すする不純物元素を、1.016～5.010×10<sup>-10</sup>cm<sup>3</sup>程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して型を付すする不純物元素には、ドロ素(B)、アソニミウム(Al)、サリウム(Si)など周期律表第3(3)族の元素が知られている。その方法として、イオン注入法、オーフローブ法、或いは、イオンチャーピング法を用いることができるが、表面積基板を処理するには、インペーパ法が適している。イオンチャーピング法では、ガラス(B<sub>2</sub>H<sub>6</sub>)をノースガスとして用いホウ素(B)を添加する。このような不純物元素の注入は必ずしも要ではなく省略しても差し支えないが、特にロチカル型TFTのしきの電圧を所定範囲内に収めるために好適に用いる手法である。

【(1)4-3】 ゲート絶縁膜109はゲラズマCVD法またはスパッタ法を用い、膜厚を4.0～1.0nmにしてシリコンを含む絶縁膜で形成する。本実施例では、1.0nmの厚さで酸化窒化シリコン膜から形成する。また、SiH<sub>4</sub>とH<sub>2</sub>を添加して好ましい耐熱性を得る。また、SiH<sub>4</sub>とH<sub>2</sub>とから作製する酸化窒化シリコン膜はゲート絶縁膜とカ界面欠陥密度を低減するので好ましい。無論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限られるものではなく、他のシリコンを含む絶縁膜を単層または複層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、アモルファCVD法で、TBTとO<sub>2</sub>とOrtho Silicate(シリカ)とを組合せ、又ガス圧40Pa、基板温度300～400℃とし、高周波1.05MHzで電力密度(5～)5W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その約4.0～5.0nmの熱アーチ<sup>1</sup>によりゲート絶縁膜として良好な特性を得ることができます。

【(1)4-4】 そして、図3(B)に示すように、第1のチャーピングゲート絶縁膜109上にゲート電極を形成するための耐熱性導電層111を2.0～4.0nm好ましくは2.50～3.50nmの厚さで形成する。耐熱性導電層は単層で形成しても良いし、必要に応じて二層あるいは

三層といった複数の層から成る複層構造としても良い。本明細書でいう耐熱性導電層には、Ti、W、Moから選ばれた金属、または前記元素を式(1)と下る合金から前記元素を組み合わせた合金鋼も含まれる。これらの耐熱性導電層は、タモリウムにて形成されるものであり、低抵抗を因るため含有する「純物濃度を低減させること」が好ましい。特に導電量は、10<sup>-10</sup>Ωcm以下とするなど良い。本実施例では、W膜をターフェットとしてスクラウ法で形成して最も良い。ターフェットは、WとFeを用いて熱にVC法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化が要があり、W膜の抵抗率は2.0Ωcm以下にしておくことが望ましい。W膜は結晶粒を大きめにすることで低抵抗化を図ることもできるが、W中に酸素などの不純物元素が多い場合、これは結晶化が阻害され高抵抗化する。このことより、アモルファ法による場合、純度9.9、9.999.9%のターフェットを用い、さらに沈没時に気泡から下端部が見れないように十分配慮してW膜を形成することにより、抵抗率を2.0Ωcmを実現することができる。

【(1)4-5】 一方、耐熱性導電層111にT<sub>a</sub>膜を用いる場合には、常様にスパッタ法で形成することができる。T<sub>a</sub>膜はスパッタ法にて用いる。また、スパッタ時ガラス中に過量のX<sub>2</sub>やC<sub>2</sub>を加えておくと、形成する膜の内部定かを緩和して膜の剥離を防止することができる。1相のT<sub>a</sub>膜の抵抗率は2.0Ωcm程度でありゲート電極に用いることができるが、2相のT<sub>a</sub>膜の抵抗率は1.3Ωcm程度でありゲート電極とするには不向きである。T<sub>a</sub>膜は2相に近い結晶構造を持つので、T<sub>a</sub>膜の下地にT<sub>a</sub>膜を形成すれば2相のT<sub>a</sub>膜が容易に得られる。また、図示しないが、耐熱性導電層111以下に2～3nm程度の厚さでリン(PL)をドープしてシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層111が酸素に含有するアモルファ金属元素が第1のチャーピングゲート絶縁膜109に接触するのを防ぐことができる。いずれにしても、耐熱性導電層111の抵抗率を1.0～5.0Ωcmの範囲ですることが好ましい。

【(1)4-6】 また、第2のチャーピングPM2)を用い、アモルファラフィーの技術を使用してリストアするマスク112～117を形成する。そして、第1のチャーピング処理を行う。本実施例では、(1)～(3)のチャーピング装置を用い、エッチャング用ガスにC<sub>2</sub>H<sub>2</sub>アーチ<sup>1</sup>を用い、1Paの圧力で、5W/cm<sup>2</sup>のRF(13.56MHz)電力を投入してエッチャングを形成して行く。基板側にチャーピング装置にも2.0nm/cm<sup>2</sup>のRF(13.56MHz)電力を投入し、これにより実質的に負の自己チャーピングが印加される。この条件でW膜がニッシン(埋没)して形成

である。第1のエッティング処理はこのエッティング速度を基に代張がちょうどエッティングされる時間を推定し、それよりもエッティング時間を考え導かされた時間をエッティング時間とした。

〔(5-1)〕 そして 第1のデーターが処理を行ない、導電性不純物元素を島田法導体層に添加する。ここでは、 $\alpha$ 型を付与する不純物元素添加工程を行なう。第1のデーターが導電層を形成したマスク1:  $2 \sim 11.1$  をそのまま用いる。また、データーの形状を有する導電層1:  $1 \sim 1.1$  をマスクとして自在整合的に $\alpha$ 型を付与する不純物元素をインシブレーブ法で添加する。 $\alpha$ 型を付与する不純物元素をデーター端部ににおけるデーター一部とデーター端部遮蔽膜とを通して、その下に位置する導体層間に通すように添加するためデーターを  $1 \times 1.1 \sim 1.1$   $\times 1.1$  atom/cm<sup>2</sup> にて、加速電圧を  $8 \sim 10$  keV にて用いる。 $\alpha$ 型を付与する不純物元素として15種類異なる元素、典型的には $\text{Fe}$  (P)、または鉛素 (As) を用いるが、ここではリチウム (Li) を用いた。このようないすれ、データー法により、第1の不純物層:  $2.4 \sim 1.2$  には、いくつも  $1.2 \sim 1.1$   $\times 1.1$  atom/cm<sup>2</sup> の濃度範囲で $\alpha$ 型を付与する不純物元素が添加され、データー一部の下方に形成される第2の不純物領域 (A) には同領域内と必ずしも同一ではないが  $1 \times 1.1 \sim 1.1 \times 1.0$  atom/cm<sup>2</sup> の濃度範囲で $\alpha$ 型を付与する不純物元素が添加される。〔(5-2)〕 この工程において、第2の不純物領域 A:  $1.1 \sim 1.3$  において、少なくとも第1の1の形状導電層1:  $1.5 \sim 1.2$  と重なった部分に含まれる $\alpha$ 型を付与する不純物元素の濃度変化は、データー一部の導電層を反映する。即ち、第2の不純物領域 (A):  $1 \sim 0.9$  にて、添加される Li (P) の濃度は、第1の形状導電層に重なる領域において、導電層の端部から内側に向かって徐々に濃度が低くなる。これはデーター一部の導電層の差によつて、導体層間に通するリチウム (P) の濃度変化するためであり、その濃度変化は図2 (A-2) で示した通りである。

〔(5-3)〕 以上に、図4 (B) に示すように第2の工

チング装置により行い、二千アーチの電極間に電圧を100Vで印加する。この電圧を用いて、電極間に電流を流す。この電流は、電極間に印加する電圧と電極間の距離によって、電極間の電場強度を定める。この電場強度が既成される第1の電場を有する導電電極140～145と重なる領域で、アーチ放電を行なう。この電場で形成される第1の電場を有する導電電極140～145に電力を供給される。その端部にはテー一部が形成され、該端部から内部に向かって徐々に厚さを増加するテー一部分となる。第1の二千アーチ処理と並行して基板側に向かって、アーチ電力を供給した等分電極150アーチを割合が多くなり、アーチ電極の角度は30°から5°となる。また、第2の形状アーチ160は絶縁膜114の表面に45度程度変位している。新たに第3の形状のゲート電極200が形成される。【0015】 そして、第1のドーピング処理よりも一大量をアーチ電極電圧の半分以下の電力を供給する不純物元素をドーピングする。例えば、加速度電圧を10～11.5kVとし、1×10<sup>13</sup>atoms/cm<sup>2</sup>でドーピングを行なう。第2の半径を有する導電電極140～145と重なる領域の不純物濃度を1×10<sup>12</sup>～1×10<sup>13</sup>atoms/cm<sup>3</sup>となるようにする。このようにして、第2の不純物領域

B<sub>1</sub> : 1.43～1.50を平成する。  
 [0.114] ポチャネル型でFTを形成する島状半導体  
 複合1.41、1.414に一導電性は逆の導電性の不純物領域  
 1.41～1.415を形成する。この場合も第2の光沢の  
 基礎層1.40、1.412をマスクとして下型を何層ずつ不  
 純物元素を重ねし、自己整合的に不純物領域を形成す  
 る。このとき、ポチャネル型FTを形成する島状半導  
 体層1.41、1.417、1.418は、第3のフォトマスク  
 B<sub>1</sub>用に用いていたマスクと、5.1～1.17を  
 平成全面を被覆しておる。ここで形成される不純物領域  
 1.419～1.423はジゴラントB<sub>1</sub>用に用いたマ  
 リーブ左で形成する不純物領域1.41～1.42の上部  
 を付与する不純物元素の重量は、0.01～0.2～0.4  
 ～1.0～2.0～3.0～4.0～5.0～6.0～7.0～8.0

〔0.057〕 しかししながら、この不純物領域は 5 倍で、これは詳細には  $\alpha$  型を付与する不純物元素を含んでる 3 つの領域に分けて見ることができる。第 3 の不純物領域は 3.6a、 $5.7a$  は  $1 < L / 10^{20} \text{ atom} \cdot \text{cm}^{-3}$  の濃度で、 $\alpha$  型を付与する不純物元素を含み、第 4 の不純物領域 (A) は  $1.56 \times 1.57a$  は  $1 < L / 10^{20} \times 10^{21} \text{ atom} \cdot \text{cm}^{-3}$  の濃度で、 $\alpha$  型を付与する不純物元素を含み、第 4 の不純物領域 (B) は  $1.59 \times 1.57a$  は  $1 < L / 10^{16} \times 1 \times 10^{21} \text{ atom} \cdot \text{cm}^{-3}$  の濃度で  $\alpha$  型を付与する不純物元素を含んでる。しかし、これらは不純物元素を含んでない。したがって、上記の不純物領域は 3.6b、 $1.59 \times 1.57a$  は  $1 < L / 10^{16} \text{ atom} \cdot \text{cm}^{-3}$  の濃度で、上となるようにして、第 3 の不純物領域は 3.6b、 $1.59 \times 1.57a$  においては、 $\alpha$  型を付与する不純物元素の濃度を  $1 < L / 10^{16} \text{ atom} \cdot \text{cm}^{-3}$  とすると、3 倍となるようにする。したがって、第 3 の不純物領域は 3.6b、 $1.59 \times 1.57a$  は  $1 < L / 10^{16} \text{ atom} \cdot \text{cm}^{-3}$  の濃度で  $\alpha$  型を付与する不純物元素を含んでる。したがって、不純物領域は 3.6b、 $1.59 \times 1.57a$  は  $1 < L / 10^{16} \text{ atom} \cdot \text{cm}^{-3}$  の濃度で  $\alpha$  型を付与する不純物元素を含んでる。

4の不純物領域(B)、15～16、15～7とは一部が第2のデーター部分を有する導電層140または142と一部が重なって形成される。

【0053】その後、図5～8に示すように、データー電極およびデーター绝缘膜上から第1の層間绝缘膜15～8を形成する。第1の層間绝缘膜は酸化シリコン膜、酸化空化シリコン膜、空化シリコン膜、またはこれらを組み合せた複層膜で形成すれば良い。いずれにしても第1の層間绝缘膜15～8は無機绝缘材料から形成される。第1の層間绝缘膜15～8の膜厚は1～10～20μmとする。ここで、酸化シリコン膜を用いる場合には、グラズマCVD法でSiO<sub>2</sub>とSiO<sub>1.5</sub>を混合し、反応圧力4Pa、基板温度300～400℃とし、高周波144、5kHz(電力を度1.5～2)、300cm<sup>2</sup>で放電させて形成することができる。また、酸化空化シリコン膜を用いる場合には、グラズマCVD法でSi<sub>1.5</sub>H<sub>0.5</sub>、Si<sub>0.5</sub>H<sub>1</sub>から作製される酸化シリコン膜、またはSi<sub>1.5</sub>H<sub>0.5</sub>から作製される酸化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力2～2.5Pa、基板温度300～400℃とし、高周波600MHz(電力密度0.1～1.0W/cm<sup>2</sup>)で形成することができる。また、Si<sub>1.5</sub>H<sub>0.5</sub>、Si<sub>0.5</sub>H<sub>1</sub>から作製される酸化空化シリコン膜も同様にグラズマCVD法でSi<sub>1.5</sub>H<sub>0.5</sub>から作製することができる。

【0059】そして、それぞれの膜厚で形成された各型または各型を付与する不純物元素を活性化する工程を行う。この工程はファーネクアニール法を用いる熱アニール法で行う。その他の、レーザーニール法、またはラビットドーマニアニール法、ドリル法を適用することができる。熱アニール法では酸素濃度が100ppm以下、好ましくは10、1ppm以下の窒素雰囲気中で100～700℃、たとえば500～600℃で行うものである。本実施例では500℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いグラスチャーフィルムを用いる場合にはレーザーニール法を適用することが好ましい。

【0061】活性化の工程に続いて、昇温気体を空化させ、3～10ppmの水素を含む雰囲気中で、300～450℃で1～2時間の熱処理を行い。島代半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島代半導体層にある1.0～1.05cm<sup>2</sup>のダメージングダメージを終結する工程である。水素化の他の手段として、グラスチャーフィルムを用いて熱的に励起された水素を用いる、を行っても良い。いずれにしても、島代半導体層101～113中の欠陥密度を1.0/10cm<sup>2</sup>以下とすることを望ましい。そのためには水素を0.1～0.1atm(10μPa)程度付与すれば良い。

【0061】このように、第2の層間绝缘膜を有機绝缘膜材料で形成することにより、表面を良好に平坦化させ

ることができる。また、有機绝缘材料は一般に溶融點が低いので、寄生容量を低減することができる。しかし、複数性をもつ保護膜としては適しないので、本実施例によると、第1の層間绝缘膜15～8として形成した酸化シリコン膜を基化シリコン膜、空化シリコン膜などと組み合わせて用いること良い。

【0062】その後、第4のフォトマスク(图4)を用、第5のエターナルジアマスクを形成し、それぞれが島代半導体層に形成され、ノース領域またはマスク領域とする不純物領域に通するコントラクトホールを形成する。コントラクトホールはマイエッティング法で形成する。この場合、エッチングガスにはF<sub>2</sub>、Cl<sub>2</sub>、O<sub>2</sub>の混合ガスを用い有機高分子材料から成る第1の層間绝缘膜15～8をまずエッティングし、その後、純シリコンガスをF<sub>2</sub>に替えて第1の層間绝缘膜15～8をエッティングする。さらに、島代半導体層との選択比を高めるために、エッティングガスをCH<sub>4</sub>に切り替えて第3のエッティング用保護膜17～7をエッティングすることによりエッティングオールを形成することができる。

【0063】そして、導電性の金属膜をスピッタ法や電気蒸着法で形成し、第5のフォトマスク(图4)により第4のフォトマスクパターンを形成し、エッティングによりエッティングガスを用いて第1の層間绝缘膜15～8を形成する。画素電極16～1はドレン膜と一緒に形成される。画素電極16～1は他の画素に隣接する画素電極を表している。図示してはないが、本実施例ではこの配線を、ドレン膜を50～500nmで形成し、島代半導体層のノースまたはドレイン領域を形成する不純物領域とコントラクトホールを形成し、そのドレン膜上に重ねてアンミニエーブル(AEB)、ドレイン(D)～400nmの厚さで形成(图5～1)において1.6～0.8～1.9μmで示す。し、さらにその上に透明導電膜を50～120nmの厚さで形成(图5～2)において1.6～0.5～1.9μmで示す。した。透明導電膜には酸化インジウム酸化亜鉛合金(IZO)、ITO、ZnO、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガラス(13a)を表面した酸化亜鉛(ZnO)、ITOなどを好適に用いることができる。

【0064】こうして3枚のフォトマスクにより、第一の基板上に駆動回路のTFTと画素部の画素TFTとを有した基板を形成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量15fFが形成されている。シラモ基板では便宜上こののような基板をアクリティティードドリル法と呼ぶ。

【0065】駆動回路の第1のpチャネル型TFT200には、第2のデーターホールを有する導電層、データー電極202としての膜層を有し、島代半導体層101～113にチ

り1の第2の不純物領域（B）2-2-1ではホットチャーフで重現した構造となっている。さらに、熱圧を高め動作を安定化させるために、図4-A1で示すように左右2ヶ回路部の下F-Tを第1のチャネル型下F-T（2-2-1と第1のチャネル型下F-Tを第1のチャネル型下F-T）で形成しても良い。この下F-Tは、一对の「ース、ドレ」間に2ヶのゲート電極を設けたタイプ（ゲート構造）であり、このような下F-Tにはガス吹除の工程を用いて同様に作製できる。第1のチャネル型下F-T（2-2-1）には、島状半導体層にチャネル形成領域となる、2-2-1aと「ースまたはドレ」領域となる第3の不純物領域2-3-3（A-2-3-3a、-3-4-3a、-3-4-4a）が、第1の領域となる第4の不純物領域（A-2-4-1a、-2-4-2a、-2-4-3a）及びゲート電極より2ヶと一部が重なる第5の領域となる第6の不純物領域（A-2-5-1a、-2-5-2a、-2-5-3a）を有した構造となっている。第1のチャネル型下F-T（2-2-1）には、島状半導体層にチャネル形成領域2-4-1a、2-4-2a、2-4-3aまたはドレイン領域として機能する第1の不純物領域2-4-3-1、2-4-4a、2-4-5aとしむ領域となる第2の不純物領域（A-2-4-2a、-2-4-4a、-2-4-5a）及びゲート電極2-4-2aと一部が重なるLDD領域となる第3の不純物領域（B-2-4-3-1、2-4-4c、2-4-5c）を有している。チャネル型は3～7μmとして、ゲート電極と重なるしむ領域を10μmとしてそのチャネル長方向の長さは、10～15μmとする。

【4-7-4】また、アドロゲラフィックで構成するサンプル回路には、同様な構成とした第2のチャネル型下F-T（2-2-1と第1のチャネル型下F-T）を適用することができる。サンプル回路はオーティカリア对抗と低オフ電流動作を重視されるので、図4-B1で示すようにこの回路の下F-Tを第2のチャネル型下F-T（2-2-1）と第2のチャネル型下F-T（2-2-1）で形成しても良い。この第2のチャネル型下F-T（2-2-1）は、一对の「ース、ドレ」間に3つのゲート電極を設けたトリプレート構造であり、このような下F-Tは本実施例の工程を用いて同様に作製できる。第2のチャネル型下F-T（2-2-1）には、島状半導体層にチャネル形成領域2-4-1a、2-4-2a、2-4-3aまたはドレイン領域として機能する第3の不純物領域2-4-3-1、2-4-4a、2-4-5a、2-4-6a、2-4-6c（「ースまたはドレイン」領域として機能する第1の不純物領域2-5-1a、2-5-2a、2-5-3a）としむ領域となる第2の不純物領域（A-2-5-3-1、2-5-4-1a、2-5-5-1a、2-5-6-1a、2-5-7-1a）を有した構造となっている。第2のチャネル型下F-T（2-2-1）には、島状半導体層にチャネル形成領域2-3-3a、2-3-3bノードまたはドレイン領域として機能する第1の不純物領域2-5-5a、2-5-6a、2-5-7aとしむ領域となる第2の不純物領域（A-2-5-5-1a、2-5-6-1a、2-5-7-1a）及びゲート電極2-5-4と一部が重なりしむ領域となる第2の不純物領域（B）2-5-6-1a、2-

5-7-1aを有している。チャネル長は3～7μmとして、ゲート電極と重なるしむ領域を10μmとしてそのチャネル長方向の長さは、10～15μmとする。

【4-7-5】このように、下F-Tのゲート電極の構成をトリプレート構造とするか複数のゲート電極を一对のノース、ドレイン間に設けたり、ゲート構造とするかは、回路の特性に応じて実施者を選択すれば良い。そして、本実施例で作成したアクリティアマトリクス基板を用いることで反射型の液晶表示装置を作製することができる。

【4-7-6】【実施例2】実施例1-1はゲート電極の材料にSiやTiなどの耐熱性導電材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に導電剤の熱処理を目的として導体層を添加した不純物元素をモリブデン熱アーチによる熱処理によって活性化させる必要があり、その工程を実施する上でゲート電極に耐熱性を持たせる必要があるからである。しかしながら、このような耐熱性導電材料は面積抵抗で10Ω程度あり、画面サイズが4インチチャネルとそれ以上の表示装置には必ずしも適してない。ゲート電極に接続するゲート線を同じ材料で形成すると、基板上にかける引回し長さが必然的に大きくなり、配線抵抗の影響による配線連絡の問題を無視することができなくなる。

【4-7-7】例えば、画面密度が400×400の場合、4.5×4.5のゲート配線と1.5×1.5のノース導線が形成され、XG-Lの場合はこうちも本のゲート配線と1.0×2.4本のノース配線が形成される。表が領域の画面サイズは、1.0インチチャネルの場合対角線が約はく4.64mmとなり、1.4インチチャネルの場合には4.64mmとなる。本実施例ではこのような液晶表示装置を実現する手段として、ゲート配線をアクリルなどの低抵抗導電性材料で形成する方法について説明して説明する。

【4-7-8】まず、実施例1と同様にして図3-A1～図4-A1に示す工程を行い、そして導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行なう。この工程はアーチネオアーチル法で用いる熱アーチル法である。その他に、オーディオニール法、またはドリーミスマーマルアーチル法、ドリーミル法を用いることができる。熱アーチル法では酸素濃度が10～20ppm、好ましくは、10ppm以下の空素濃度気流で400～450℃まで、代表的には300～400℃で行なうものであり、本実施例では300℃で1時間の熱処理を行なう。

【4-7-9】この熱処理において、第1のチャネル型下F-Tを有する導電層1-40～1-45は表面から1～3μmの厚さで導電層（C）1-7-1a～1-7-5aで形成される。例えば、第2のデーターパークを有する導電層がWの場合には、塗化タングステンが形成され、下F-Tの場合には塗化タングステンが形成される。さらに、3～10μmのか量

を含む雰囲気中で、3.3)～4.3)の段階～ここで時間の熱処理を行つ。島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素による半導体層のダメージダメージを終焉するのである。水素との他の反応として、グラファイト素子、グラフィトより励起されたカリ素を用いるを行つても良い。図7-(A)～(B)。

【(4)3】活性化および水素化処理の後、ゲート膜を低抵抗導電材料で形成する。低抵抗導電材料はアルミニウムを主成分とするものである。このような材料から形成される低抵抗導電層からゲート膜を形成する。例えば、それを1～2重層を含む多層膜を低抵抗導電層として全面に形成する。低抵抗導電層は2～4.0μm好ましくは約1～3.5μmの厚さで形成する。そして、既述のジストリーパークを形成する。チップ処理して、ゲート膜を7.0、17.4を形成する。このとき同一材料で画素部に設ける保持電極と接続する電極層17.5を形成する。低抵抗導電層がA1を主成分とする材料である場合には、エチチング処理は、酸素のニ、シリカ溶液によるエットエチチングで地との選択性を保つてゲート膜を形成することができる。第1の層間絕縁膜、7.6は実施例1と同様にして形成する。図7-(B)。

【(4)4】その後、実施例1と同様にして有機絕縁物質から成る第2の層間絶縁膜15.1、マスク層15.2～15.4、ドレイイン層15.5～15.9、画素電極15.9～17.1を形成してアクリル・スマーリクス基板を完成させることができる。図7-(A)、(B)はこの状態の上面図を示し、図7-(A)のB-B'断面および図7-

B-B'のE-E'断面は図5-(C)、(B-B'およびE-E')に対応している。図7-(A)、(B)ではゲート絶縁膜、第1の層間絶縁膜、第2の層間絶縁膜を省略して示しているが、島状半導体層10.4、10.5、10.6が図示されていない。スヌおよびドレイイン領域にE-E'線15.9、17.1、17.4とドレイイン層15.5、15.6及び画素電極15.9がエタクタホールを介して接続している。また、図7-(A)のD-D'断面および図6-

B-B'のD-E'断面を図8-(A)と(B)にそれぞれ示す。ゲート膜17.3はゲート電極21.0と、またゲート膜17.1はゲート電極21.0と島状半導体層10.4～10.8との間に重なるように形成され、ゲート膜と低抵抗導電層がエタクタホールを介して接続して電気的に導通している。このようにゲート膜を低抵抗導電材料で形成することにより、耐候抵抗を大幅に減らすことができる。逆に、画素部(画面サイズ)が4インチ以下となると表示装置に適用することができない。

【(4)5】【実施例3】実施例1で作製したアクリルマトリクス基板はそのまま反射型の表示装置に適用することができない。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対する

アクリルマトリクス基板の作製方法について述べる。

【(4)6】アクリルマトリクス基板は既述通りの工程にて作製する。図8-(A)～(B)では、マスク部をマスク層15.2～15.4と真空蒸着法で形成する。マスク層15.2～15.4を例として構成を示す。

図8-(A)は詳細に説明する。マスク層15.2～15.4は、島状半導体層を形成するマスクまたはドレイイン領域を形成する半導体膜と同様の材料を形成する。マスク層15.2～15.4は重ねて、マスク層15.2～15.4の厚さで形成し、さらに下にマスク層15.2～15.4または基材チップ上で、膜を15.2～15.4の厚さで形成して層構造とする。その後、透明導電膜を全面に形成し、アクリルマスクを用いたマスクング処理およびエチチング処理によく画素電極15.9を形成する。画素電極15.9は、を接着層材料から成る第2の層間絶縁膜上に形成され、コンタクトホールを介して画素部15.1～15.4との厚さで形成して設ける。この構成にすると、画素電極15.9はドレイイン層15.5を形成する下膜15.2～15.4との間に接続することになる。その結果、透明導電膜材料とA1との直接接し反応するのを確実に防ぐことができる。

【(4)7】図8-(C)では最初に第2の層間絶縁膜上に透明導電膜を形成し、マスクング処理およびエチチング処理をして画素電極15.9を形成した後、ドレイイン層15.9を島状半導体層10.4～10.8とコンタクトホールを介して接続部を形成した例である。ドレイイン層15.9は、図1-(D)で示すようにT1:膜厚0.1～0.2μmの厚さで形成し、島状半導体層のA1またはドレイイン領域を形成する半導体膜とコンタクトホールを形成し、その下の膜2.2～2.4は重ねてA1と膜15.2～15.4～15.9との厚さで形成して設ける。この構成にすると、画素電極15.9はドレイイン層15.5を形成する下膜15.2～15.4との間に接続することになる。その結果、透明導電膜材料とA1との直接接し反応するのを確実に防ぐことができる。

【(4)8】透明導電膜の材料は、複合シリコン、シリカOx、や酸化シリカとスピネル合金、Al<sub>2</sub>O<sub>3</sub>～SiO<sub>2</sub>～Al<sub>2</sub>O<sub>3</sub>～TiO<sub>2</sub>などをアクリル性や真空蒸着法などを用いて形成して用いることができる。このような材料のエチチング処理は塗膜系の溶解に多く用ひ、しかし、塗膜15.2～15.4を形成し、島状半導体層のA1またはドレイイン領域を形成する半導体膜とコンタクトホールを形成し、その下の膜2.2～2.4は重ねてA1と膜15.2～15.4～15.9との厚さで形成して設ける。この構成にすると、画素電極15.9はドレイイン層15.5を形成する下膜15.2～15.4との間に接続することになる。その結果、透明導電膜材料とA1との直接接し反応するのを確実に防ぐことができる。

【(4)9】実施例1では反射型の液晶表示装置を作製

できるアクティブマトリクス基板を構成するフィトマスクにより作製したが、さらに1枚のフィトマスクの追加

合計2枚で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができた。本実施例では、実施例1と同様な工程として説明しない。このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

【0037】【実施例4】本実施例では、実施例1～3実施例と示したアクティブマトリクス基板の TFT の活性層を形成する品質半導体層は品質半導体層を熱アニール法やレーザーアニール法、または RIE 法などで結晶化させ形成するが、その他特開平7-113555号公報で開示されている熱膜元素を用いる結晶化法を適用することもできる。その場合の例を図12を用いて説明する。

【0038】図12-A)で示すように、実施例1と同様にして、グラス基板1101上に下地膜1102a、1102b、非品質構造を有する半導体層1103を2.5～5μmの厚さで形成する。非品質半導体層は非品質シリコン(a～c)膜、非品質炭化シリコン(a～c)膜、非品質シリコン・スズ(a～c)膜などが適用できる。これらの非品質半導体層は水素を1～4atmの圧度程度含有するようにして形成すると良い。例えば、非品質シリコン膜を5μmの厚さで形成する。そして、重電換算で1.5μmの熱膜元素を含む水溶液をスピナーで基板を回転させ可溶性アゾコート法で熱膜元素を含有する層1104を形成する。熱膜元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、チラジウム(Pt)、スズ(S)、鉛(Pb)、コバルト(Co)、白金(Pl)、銀(Cu)、金(Au)などである。この熱膜元素を含有する層1104は、スピンドルコート法の他に印刷法やエバグローブ法、バーニータ法、あるいはスピタ法や真空蒸着によって上記熱膜元素の層を1～5μmの厚さに形成しても良い。

【0039】そして、図12-B)に示す結晶化工程では、まず400～500℃で1時間程度の熟処理を行い、非品質シリコン膜の含有水素量を100ppm以下にする。非品質シリコン膜の含有水素量が初期において最初からこの値である場合にはこの熟処理ははずさ必要ない。そして、マーカースアニール法を用い、窒素ガス用気中で500～600℃で1～3時間の熱アニールを行う。以上の工程により非品質シリコン膜から成る結晶半導体層1105を得ることができる(図12-C)。しかし、この熱アニールによって形成された非品質半導体層1105は、光学顕微鏡観察により巨視的に観察すると局所的に非品質領域が残存していることが観察されることがある。このような場合、同様にラマン分光法では480cm<sup>-1</sup>にブロードなピークを持つ非

品質成形が観測される。そのため、熱アニール後に熟處理によって説明したレーザーアニール法で結晶化半導体層1105を形成してその結晶性を高めることは有効な手段として適用できる。

【0040】図12は同様に熱膜元素を用いる結晶化法の概要であり、熱膜元素を含有する層をスパッタ法により形成するものである。まず、実施例1と同様にして、グラス基板1101上に下地膜1102a、1102b、2.5～5μm品質構造を有する半導体層1103を2.5～5μmの厚さで形成する。そして、非品質構造を有する半導体層1103の表面に、5～50μm程度の酸化銀(四塩化銀)を形成する。このような厚さの酸化銀は、グラス上に熱アニール法やスパッタ法などで積極的に設置する被膜を形成しても良いが、1.5μm～2.0μmの基板を加热してグラス化した酸素雰囲気中で非品質構造を有する半導体層1103の表面を酒しても良いし、過酸化水素(H<sub>2</sub>O<sub>2</sub>)を含む溶液に非品質構造を有する半導体層1103の表面を酒して形成しても良い。又は、酸素を含む雰囲気中で紫外線光を照射してオゾンを発生させ、そのオゾン雰囲気中で非品質構造を有する半導体層1103を酒することによっても形成できる。

【0041】このようにして表面に著、酸化銀を有する非品質構造を有する半導体層1103上に前記熱膜元素を含有する層1104をスパッタ法で形成する。この層の厚さに限はないが、1.0～1.00μm程度の厚さに形成すれば良い。例えば、 $\mu$ mをターゲットにして、 $\mu$ m膜を形成することは有効な方法である。又、スパッタ法では、電界で加速された前記熱膜元素から成る高エネルギー粒子の一部が基板側にも飛来し、非品質構造を有する半導体層1103の表面近傍、または該半導体層表面に形成した酸化銀中に打ち込まれる。その割合はグラス生成条件や基板のハイブリッド状態によって異なるものであるが、好適には非品質構造を有する半導体層1103の表面近傍や該酸化銀中に打ち込まれる熱膜元素の量を $1 \times 10^{-1} \sim 1 \times 10^{-14} \text{ atoms/cm}^2$ 程度となるようとする。

【0042】その後、熱膜元素を含有する層1104を選択的に除去する。例えば、この層が $\mu$ m膜で形成されている場合には、硝酸などの溶液で除去することができる。又は、アソ酸を含む水溶液で処理すれば、膜と非品質構造を有する半導体層1103上に形成した酸化銀を同時に除去できる。いずれにしても、非品質構造を有する半導体層1103の表面近傍が熱膜元素の量を $1 \times 10^{-1} \sim 1 \times 10^{-14} \text{ atoms/cm}^2$ 程度となるようにしておこう。そして、図12-B)で示すように、図12-B)と同様にして熱アニールによる結晶化工程を行い、非品質半導体層1105を得ることができる(図12-C)。

【0043】図12または図17で作製された非品質半導体層1105、1205から島状半導体層114～1

(4) (4) この目的に4.1に示す「 $\gamma$ -P<sub>1</sub>」によるゲーターリング処理は、図5-A、Bで説明した活性化工程と同時に行なうこととする。この様子を図5-Eで説明する。ゲーターリングに必要な量は、(1)の量度に高湿度で不規則領域の不規則量度と同様度で、活性化工程の熱解は(1)の量度。(2)チャーチ型下下下をさびとチャーチ型下下下のチャーチスチル床板部から触媒元素をそぞ量度。(3)「(1)を含むする不規則領域の偏移」させることができ(図5-E示す矢印の状態)。その結果その不規則領域は、(4)、(5)、(6)、(7)、(8)、(9)の程度の触媒元素が偏移した。このようにして生産したTFTは、すばやく高純度化され、結晶性が良く、こゝとる高い電界効果移動度が得られ、良好な特性を達成することができる。本実験例の構成は、実施例1～7と組み合せることができます。

【(1) (3)】「実施例5」は実施例4では実施例1で作製したアクリティマイトクリア基板から、アクリティマイトクリア型液晶表示装置を作製する工程を説明する。まず、図11(A)に示すように、図11(B)に示す状態のアクリティマイトクリア基板に接着剤ペーパーからなる接着ペーパーを形成する。接着ペーパーは数枚の粒子を散布して設ける方法でも良いが、ここでは基板上面に接着剤を形成した後これをペーパー化、そして形成する方法を採用した。このよくなじみのペーパーの材料に選定はないが、例えば、JSR社製のアクリル7000を用い、マジーナで塗布した後露光と現像処理によって所定のペーパーに形成する。さらにクリーニングオーブンなどで150～200℃で加熱して硬化させる。このようにして作製されるペーパーは露光と現像処理の条件によって形状を異ならせることができる。

好ましいは、スベーサー形状は矩形は直角で頂部が直角な形状となるようになると、対向側の基礎を含むさせたいときには吸音表示パネルとして、機械的な強度を確保することができる。これは逆に矩形、角柱状などの別の限定はない。例えば逆錐形などしたときに具体的には、高さを1.5～2.5倍とし、平均半径を3～7倍で、平均半径と底面の半径との比を、対角で1.5とする。このとき側面の子孫角は0.5～1.5である。

【009-6】「バーサの配置は任意に決定すれば良い」と好ましには、図1-1-Aで示すように、画素部においては画素領域1よりの二点タクト部201と重ねて

その部分を覆うように柱状ペイントをうす塗装するとよい。コントラーピュジョンは平面性も損なわれ、こん部では被覆するまでは配慮しなくてよい。まことにコントラーピュジョンのペイント用、被覆を充ててから柱状ペイントをうす塗装することで、コントラーピュジョンを防ぐことができる。また、駆動回路などで上部にも柱状ペイントをつけて、ドーム型の形状を形成しておき、このドームペイントは駆動回路部を全面に覆うことで成して良いい。図14で示すようにノース系ねおよびインフレータを覆うようにして設けてもらとい。

【01.1.7】その後、配向膜<sup>14)</sup>を形成する。通常液晶表示素子の配向膜にはナリッシュ液槽を使う。配向膜を形成した後、ラビング処理を施して液晶分子があらかじめ定められた方向を持てて配置するようになる。画面上部に設けた耐圧スリット<sup>15)</sup>の端部からラビング方向に対してラビングされ、領域が12.5°以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の下部<sup>16)</sup>に形成したスペーサー<sup>17)</sup>を4.5μm<sup>18)</sup>より静電気からTFTを保護する効果を得ることができる。また、露西<sup>19)</sup>では説明しないが、配向膜<sup>14)</sup>に力を先に加え、スペーサー<sup>17)</sup>を4.5μm<sup>18)</sup>、4

0.5-3~4 (1.5 e) を形成した構成としても良い。

【03-5-5】対向側の対向基板40.1には、透光膜40.2、透明導電膜40.3および配向膜40.4を形成する。透光膜40.2はT<sub>1</sub>膜、C<sub>1</sub>膜、A<sub>1</sub>膜などをして10.0μmの厚さで形成する。そして、画面部と駆動回路部で研削されたアクティブラミング基板と対向基板とをシール剤41.4で貼り合わせる。シール剤41.4にはアクリル樹脂せず、か型入されていて、このアクリルとスルガーバイド6.4、4-ヒドロキシ-4-メチルヒドロキシエチル等によって均一な間隔を持ち、この基板が貼り合わされる。その後、両基板の間に液晶材料41.3を注入する。液槽部には公知の液晶材料を用いれば良い。例えば、TFT液槽部の他に、電場に対して透過率が連続的に変化する電気光学率を示す、柔らかい、偏振強調電性混合液晶を用いることもできる。この柔らかい、偏振強調電性混合液晶には、イモリ電光光学率特性等を示すものもある。このようにして図4-B)に示すアクティブラミング型液晶表示装置が完成する。

【りゅう】図1もはこのようなアクリル板にテクス  
基板の上蓋区を示し、画面部および駆動回路部とスペー  
サおよび一側の位置調整部を示す上蓋区である。実施  
例で述べたテクス基板11、上に画面部12、左側部  
に駆動回路として走査信号駆動回路13、走査信号駆  
動回路14、から成り、走査回路13は、走査回路14に  
接続され、走査回路14は、走査回路13と接続され  
て外部の土台端子610と接続される。画面部12  
は走査信号駆動回路13から走査回路14へ走査信  
号613と画面信号駆動回路14から走査回路13へ走



て、11は基板、11は画素部、13はゲート側駆動回路、13はゲート側駆動回路であり、それぞれ駆動回路を通じて14～16を通じて17に並び、外部接続端子へ接続される。

〔レジン〕このように、シール剤①③によりアカチ、ブマヘリア基板①と対向接着する上部端に合わせられると、その間にには空間が形成される。その空間には充填剤④が充填される。この充填剤④は対向接着③を接着する効果も含めて持続し、充填剤④はPVC(ポリビニルカーボネート)、エポキシ樹脂、シリコーン樹脂、PVB(ポリヒニルブチラル)、またはEVA(エチレンビニルアセテート)などを用いることができる。また、EVAはガラスをはじめ塑性に弱く劣化しやすいので、この充填剤④の内部に酸化パリフィムなどの乾燥剤を混入させておき、上部端部を保護できるので望ましい。また、EVA上部に硬化シリコン複数層や硬化空気シリコン複数層などで成るもバージーンヨウ複数③を形成し、充填剤④に含まれるアルカリ元素などによる腐蝕を防ぐ構造となる。

〔011-0〕対向版8寸にはガラス板、アルミニウム板、チタンレバ版、FRP版、Fiberglass-Reinforced Plastic版、PVC版（ポリヒルフレオライド）フィルム、マイラーフィルム、デュボン社の商品名、ポリエチテフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、數ナロウのアルミニウム箔をPVCフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、毛細糸は密閉された状態となり呼吸から遮断されている。

【図113】また、図19(B)において基板10下に設置したスピリット駆動回路用TF10-1(但し、ここではオーバーラップ駆動TF10-1とチャネル型TF10-1を組み合わせたもの)の回路を示してある。

成る上に其の領域が設けられて、そ

〔例題14〕例えば、駆動部の用途でAとBの二種類のモーターを用いる場合、モーターAとモーターBの出力特性を図14-10に示す。この二つのモーターを用いて、図14-11に示す構造の車両を駆動する場合、車両の走行速度を計算せよ。走行速度は、車両の走行距離と走行時間の比である。

〔3-1-3〕 223-1-B 実は図3-3 が代表的で、  
ディップマトリクス基板からなる表示装置を製作するには、ノード法、ドレイン線に蓄積部を有する閑電極法（平澤法）、2つを合成し、その上に蓄積部用 TFT 2-3-1-2-1-1と電気的に接続する透明導電膜導入なる、  
蓄電極2-1-2を形成する。透明導電膜としては、酸化イ  
ジウムと酸化カドミウムの複合物（以下と呼ばれる）  
は酸化イジウムと錫酸化亜鉛との複合物を用いること  
ができる。そして、画面電極2-7を形成したら、絶縁膜  
3を形成し、画面電極2-7に開いた部を形成する。

（1）EL 3 次元、ECL 3 次元を形成する。ECL 3 次元

は公印のもし材料(正孔生え着、正孔換迭着、免光着電子発送管等)または電子生え着、を自由に組み合わせて構造または裏層構造等すれば良い、どのような構造をするかは印刷の技術を用いれば良い。また、EJ材料は低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は接着法を用い、高分子系材料を用いる場合には、スピンドルコート法、印刷法等はイクシニート法等の簡単な方法を用いることが可である。

またはイックノエット法、ディスクレンサーなどで形作る。いずれにしても、画面毎に複数の異なる発光色を能する発光管（赤色発光管、黄色発光管及び青色発光管）を構成することで、カラー表示が可能となる。その他、色変換管（CCM）とカラーフィルターを組み合わせた方式、白色発光管とカラーフィルターを組み合わせた方式があるが、いずれの方法を用いても良い。次論、

色発光の表示装置とすることもできる。  
（1）（2）（3）（4）を形成する。その上に論理

）を形成する。陰極30とEL層39の界面に存在する

ペー<sup>1</sup>や酸素は極力排除しておくことが望ましい。そこで、真空中でE-1管2.9と陰極3.0を連続して形成するE-1管2.9を不活性雰囲気で形成し、大気開放

・真空中で強磁30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式、クラスター方式、ソーラ方式の成膜装置を用いてここで述べた構造を可能とする。

【1-1-9】など、本実施例では陰極として、1F(フッ化リチウム)膜とA-(アルミニウム)膜の層構造を用いる。具体的には石墨上にA(アルミニウム)の膜の上に1F(フッ化リチウム)膜を形成し、その後、30μm厚のアルミニウム膜を形成する。下論、上論

各種材料であるMg-Alは陰極を用いても良い。そして陰極31は314度示される領域において配線14に接続される。配線14は陰極31に恒定の電圧を手えるため電圧供給端子であり、異性導電性ゲート100Aを介して電圧314に接続される。RF14の上にはさらに垂直指標15が形成され、この部分の接着強度を高めて、

(1.3) さて、これらされた領域において電極3(3)と配線1(1)とを電気的に接続するため、層間絕縁膜2(2)より絶縁膜2(2)上にコントラクトドーンを形成する必要がある。これらは層間絕縁膜2(2)のエッチング時(通常電極用コントラクトホール)の成形、や絶縁膜2(2)のエッチング時(主に着色成形時の開口部の成形時)に形成しておらず、また、絶縁膜2(2)をエッチングする際に、層間絶縁膜2(2)まで一括でエッチングしても良い。この場合、層間絶縁膜2(2)は構造3(3)と同一の樹脂材料であれば、コントラクトホールの形状を良好なものとすることができる。

【0.1.2.1】また、配線1.4はシールド、9.5基板1)と2)間を隙間(但し封に剥離1.1で塞がれている。)を通じてFP1.1.7に電気的に接続される。なお、ここでは配線1.4について説明したが、他の配線1.4、1.5も同様にしてシーリング材1)の下を通じてFP1.1.7に電気的に接続される。

【図1-22】ここで画面部のさらに詳細な断面構造を図1-22に、上面構造を図1-23(A)に、回路図を図1-23(B)に示す。図1-23(A)において、基板2440の上に設けられたスリット孔、用いてFT2440は実施例1の図1-23(B)に示すFT2440と同じ構造で形成される。ダブルゲート構造とすることで実質的に二つのFT2440が直列された構造となり、オフ電流値を低減すことができるという利点がある。なお、本実施例ではダブルゲート構造としているが、ブルゲート構造やそれ以上のゲート本数を持つマリチャート構造でも良い。

〔0123〕また、電流制御用 TFT 2403 は図5(B)で示すチャネル型 TFT 201 を用いて成る。このとき、スイッチ用 TFT 2402 のゲート電極 3 は配線 3 によって電流制御用 TFT 2402 のゲート電極 3 に電気的に接続されています。また、3 で示される配線は、スイッチ用 TFT 2402 のゲート電極 3a、3b を電気的に接続するゲート線である。

〔0124〕このとき、電流制御用 TFT 2403 が本発明の構造であることは非常に重要な意味を持つ。電流制御用 TFT は必ずしもそれを含む電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 TFT にゲート電極と一部が重なるしおうD領域を設けることで TFT の劣化を防ぎ、動作の安定性をもたらすことができる。

[0135] また、本審査例では構造用 TFT 34

〔0128〕また、4-3は反射性の高い導電膜である画素電極（E）と像素の陰極）であり、電気制御用 TFT 2-4-0-3のドットインに電気的に接続される。画素電極4-3としてはアノニキウム金合銀、銀合金膜または銀合金膜など低抵抗の導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絕縁膜（好ましくは抗張、形成されたパンク）4-4a、4-4bにより形成された溝（画素に相当する）の中に発光層4-4cが形成される。なお、ここでは一画素しか図示していないが、P（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けてもよい。発光層とする有機EL材料としては発光性ポリマー等材料を用いる。代表的なポリマー系材料としては、アーラフニレンビニリド（PPV）、系、ポリビニリコール（PVC）、系、ポリアルキレン系などが挙げられる。なお、PPV系有機EL材料としては新たな型のものがあるが、例えば H. Chen, H. Becker, H. Sezen, E. Kluge, F. Kreuter, and H. Spreitzer, "Polymer for Light Emission Under Euro Display Proceedings," 1999, 13-37, や赤堀利平・10-2-5-7-9-10-12-14-15頁に記載されたような材料を用いれば良い。

〔0129〕具体的な発光音としては、主として発光する発光音にはアノボリフェニン、シニン、主として発光する発光音にはボリフェニレンヒニン、主として発光する発光音にはガリフェニレンヒニン、主としてガリフェニレンヒニンを用いれば良い。温度は

好ましくはヨリ一から2回、上すれば良い。但し、以上の例は発光層として用いることのできる有機EJ材料の一例であって、これに限限する必要はまったくない。免光層、電荷輸送層または電子注入層を自由に組み合せてEJ層、発光層とのためのキャリアの移動を行なせるための層)を形成すればよい。例えば、本実施例ではポリマー系材料を免光層として用いたが、低分子有機EJ材料を用いても良い。また、電荷輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EJ材料や無機材料は熟知の材料を用いることができる。

【(1-1-2)】本実施例では免光層101がEJ層102に「ポリチオエニン」または「スルホチオエニン」でなく「正孔注入層」と設けた構造構造のEJ層101である。そして、正孔注入層101の上には透明導電膜となる陽極102が設けられる。本実施例の場合、発光層103で生成された光は上面側に向かって、下側の上方に向かって)放射されるが、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化ルテウム化合物や酸化チタニウムと酸化亜鉛などの化合物を用いることが可能であるが、耐熱性の低い免光層や正孔注入層を形成した上で形成するため、可能な限り低温で成膜できるものが好ましい。

【(1-1-3)】陽極102が形成された時点でEJ層101は形成する。なお、ここでEJ層101は「素子1403」は、画素電極(陰極)143、発光層145、正孔注入層146及び陽極147で形成されたコンデンサを指す。図2(A)に示すように画素電極143は画素の面積にほぼ一致するため、画素全体がEJ層101として機能する。従って、発光用効率が非常に高く、明るい画素表示が可能となる。

【(1-1-3-2)】ところで、本実施例では、陽極147の上にさらに第2インジウムショントン膜148を設けている。第2インジウムショントン膜148としては塗化珪素膜または塗化酸化珪素膜が好ましい。この目的は、外部とEJ層101とを遮断することであり、有機EJ材料の酸化による劣化を防ぐ意味と、有機EJ材料からの脱ガスを抑える意味とが両方を併せ持つ。これによりEJ層101の信頼性が高められる。

【(1-1-3-3)】以上のように本類免光のEJ表示素子は図2(A)のような構造の画素からなる画素部を有し、オフ電圧値の十分に低い「イッチング用 TFT」と、オフタキヤー生えに強い電流制御用 TFTとを有する。従って、高い信頼性を有し、且つ、良好な画素表示が可能なEJ表示素子が得られる。

【(1-1-4)】図2(A)、(B)はEJ層の構造を反転させた例を示す。電流制御用 TFT 2-1-6、1は図5(B)のドーナストップTFT 2-1-6を用いて形成される。作製プロセスでは実施例1を参照すれば良い。本実施例では、画素電極(陰極)143として透明導電膜を用いる。具体的に

は酸化インジウムと酸化ルテウムとの化合物である導電膜を用いる。次説、酸化インジウムと酸化ルテウムの化合物である導電膜を用いても良い。

【(1-1-5)】そして、遮光層104は、EJ層101が形成された後、格安電極によって、ヒミックシルバーによってなる免光層101が形成される。その上にはカーボンアセチレートエーテル、ヒミックシルバーによってなる電子注入層102、アルミニウム合金でなる陽極102が形成される。この場合、各層104が「シルバーフィルム」としても機能する。こうしてEJ層101は「素子1403」が形成される。本実施例の場合、免光層101で発光した光は、天井面反射されるようにしてEJ層101が形成された基板の方に向かって放射される。本実施例のもう構造とする場合、電流制御用 TFT 2-1-6はシリコナ型の TFT で形成されることとなる。

【(1-1-6)】尚、本実施例の構成は、実施例1～3のいずれの構成を自由に組み合わせて実現することが可能である。また、実施例4の電子機器の表示部として本実施例のEJ表示部を用いることは有効である。

【(1-1-7)】[実施例3]本実施例では、図2-1(B)に示した構造とは異なる構造の画素とした場合の例について説明を示す。なお、本実施例において、2-7-1～2-7-4はスイッチ、2-7-5～2-7-6はソース配線、2-7-7～2-7-9はドレイン配線、2-7-10～2-7-12はゲート配線、2-7-13～2-7-15は電荷供給線、2-7-16～2-7-18は電荷供給線、2-7-19～2-7-21は電流供給線、2-7-22～2-7-24は電流供給線である。

【(1-1-8)】図2-1(A)は、二つの画素間で電流供給線2-7-22～2-7-24を共通とした場合の例である。即ち、二つの画素が電荷供給線2-7-19を中心対称となるように形成されている点に特徴がある。この場合、電荷供給線2-7-19を複数本数を有することができるため、画素部をさらに高精度化することができる。

【(1-1-9)】また、図2-2(B)は、電荷供給線2-7-19をゲート配線2-7-13と平行に設けた場合の例である。なお、図2-2(B)では電荷供給線2-7-19とゲート配線2-7-13とが直ならないように設けた構造となっているが、两者が異なる層に形成される配線であれば、遮光膜を介して重なるように設けることもできる。この場合、電荷供給線2-7-19とゲート配線2-7-13とが専有面積を共有させることができるため、画素部をさらに高精度化することができる。

【(1-1-10)】また、図2-2(C)は、図2-2(B)の構造と同様に電荷供給線2-7-19をゲート配線2-7-13と平行に設け、さらに、二つの画素を電荷供給線2-7-19を中心対称となるように形成する点に特徴がある。また、電荷供給線2-7-19をゲート配線2-7-13とが重なるように設けることも可能である。この場合、電荷供給線の本数を減らすことができるため、画素部をさらに高精度化することができる。□

【A】、図2-2 (B) では複数制御用回路2-4 (1)～(4)がゲートにかかる電圧を保持するためにコンデンサ2-4(1)～(5)を設ける構造をしている。コンデンサ2-4(1)～(5)を省略することも可能である。

【0141】電流制御用として図2-4 (1)～(4)を用いる。

【A】に示すような本発明は、チャネル型ゲートを用いていたため、ゲート電極端を介してゲート電極と重なるように設けられた各の領域を有している。この重なり合った領域には一般的にアーチ形電極と呼ばれる寄生容量が形成されるが、本発明ではこの寄生容量をコンデンサ2-4(1)～(5)の代わりとして機械的に用いる方式特徴がある。この寄生容量のチャーチル部分は上記ゲート電極と重なり合った領域に変化するため、その重なり合った領域に含まれる各の領域の長さによって決まる。また、図2-2 (A)、(B)、(C)の構造においても同様にコンデンサ2-4(1)～(5)を省略することは可能である。

【0142】す、本実施例の構成は、実施例1～5の丁度での構成を自由に組み合わせて実施することが可能である。また、実施例5の電子機器の表示部として本実施例のEを表示パネル用いることは有効である。

【0143】(実施例9)本実施例では、本発明の丁度で回路によるアカディアパトリック型液晶表示装置を組み込んだ構成について図2-3、図2-4、図2-5で説明する。

【0144】このような構成装置には、携帯情報端末電話機、モバイルコンピュータ、携帯電話等)、ビデオカメラ、モニタ、モニタコンピュータ、テレビ等が挙げられる。それらの一例を図2-3と図2-4に示す。

【0145】図2-3 (A) は携帯電話であり、本体9-0-1、音声出力部9-1-1、音声入力部9-1-2、表示装置9-1-3、操作スイッチ9-1-4、操作スイッチ9-1-5、アンテナ9-1-6から構成されている。本発明は音声出力部9-1-1、音声入力部9-1-2、及びアクリルマトリック型液晶表示装置を備えた表示装置9-1-3に適用することができる。

【0146】図2-3 (B) はビデオカセットであり、本体9-1-1、表示装置9-1-2、音声出力部9-1-3、操作スイッチ9-1-4、スピーカー9-1-5、受像部9-1-6、ケーブル9-1-7から成っている。本発明は音声入力部9-1-3、及びアクリルマトリック型液晶表示装置を備えた表示装置9-1-2、受像部9-1-6に適用することができる。

【0147】図2-3 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体9-2-1、カム部9-2-2、受像部9-2-3、操作スイッチ9-2-4、表示装置9-2-5で構成されている。本発明は受像部9-2-3、及びアクリルマトリック型液晶表示装置を備えた表示装置9-2-5に適用することができる。

【0148】図2-3 (D) はタッチマウントディスプレイであり、本体9-3-0-1、表示装置9-3-0-2、アーム部

9-3-1～3で構成される。本発明は表示装置9-3-1～3を適用することができる。また、表示されていない部分の他の信号制御用回路に適用することもできる。

【0149】図2-4 (A) は、アクリル型プロジェクターであり、本体9-4-1、光源9-4-2、表示装置9-4-3、偏光遮光部9-4-4、レンズ9-4-5、スクリーン9-4-6で構成される。本発明は表示装置9-4-3に適用することができる。

【0150】図2-4 (B) は携帯端末であり、本体9-4-1、表示装置9-4-2、スピーカー9-4-3、記憶媒体9-4-4、操作スイッチ9-4-5、アクリル等から構成され、ビデオ、スクール、カラーボイスに記憶されたデータや、ワードデータで受信したデータを表示するものである。表示装置9-4-2、スピーカー9-4-3は直視型の表示装置であり、本発明はこの適用することができる。

【0151】図2-4 (C) はノートパソコン型ビュータであり、本体9-4-1、画像入力部9-4-2、表示装置9-4-3、モニタ9-4-4で構成される。

【0152】図2-4 (D) はビデオグラムを記録した記録媒体(以下「記録媒体等呼ぶ」)を用いるプレーヤーであり、本体9-4-1、表示装置9-4-2、スピーカー部9-4-6、記録媒体9-4-7、操作スイッチ9-4-8で構成される。なお、この装置は記録媒体としてDVD、Digital Versatile Disc、CD等を用い、音楽鑑賞や映画鑑賞やゲーム等インターネットを行うことができる。

【0153】図2-4 (E) はビデオカメラであり、本体9-4-1、表示装置9-4-2、接眼部9-4-3、操作スイッチ9-4-4、受像部9-4-5で構成される。

【0154】図2-5 (A) はアセロイト型プロジェクターであり、表示装置9-5-1、スクリーン9-5-2で構成される。本発明は表示装置9-5-1を他の信号制御回路に適用することができる。

【0155】図2-5 (B) はアクリル型プロジェクターであり、本体9-5-1、投射装置9-5-2、ミラー9-5-3、スクリーン9-5-6で構成される。本発明は表示装置9-5-1を他の信号制御回路に適用することができる。

【0156】なお、図2-5 (C) は、図2-5 (A) 及び図2-5 (B) 中における投射装置9-5-2、ミラー9-5-3の構造の一例を示した例である。投射装置9-5-2、ミラー9-5-3は、光束光学系9-5-1、ミラー9-5-3、3804～3816、ダイクロイックミラー9-5-11、プリズム9-5-17、液晶表示装置9-5-18、位相透板9-5-19、反射光学系9-5-20で構成される。反射光学系9-5-19は、投射レンズを含む光学系で構成される。本実施例は三版式の例を示したが、特に記述されていなかったりは三版式であつてもよい。また、図2-5 (C) において矢印で示した光路に実施者が適宜、光学レンズ、高輝度光源を有するブルムや、位相差を調節するためのマイクロ、ドスフィン等の光学系を設けてもよ。

【0157】また、図25～27は、図23～25中に示す光電子光学系3.3.0.1の構造の一例を示した図である。本実施例では、光電子光学系3.3.0.1は、エレクトロード1.1、光電子1.2、ミラーマスク1.3、ミラーマスク1.4、偏光遮蔽板1.5、集光レンズ1.6から構成される。なお、図23～25に示した光電子光学系は、一例であって特に限られていない。例えど、光電子光学系に実施者が適宜、光学レンズや偏光遮蔽板を組み替えて、位相差を調整する。ミラーマスク1.4～1.6等の光学系を設けててもよい。

【0158】また、本発明はその他の、イメージセンサやE-L型表示装置に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することも可能である。

【0159】【実施例10】実施例1において示す第1のエッチング処理と第2のエッチング処理は、ゲート電極を前提としてW、Ta、Ti、Moから選ばれたものを前提としてW、Ta、Ti、Moから選ばれた

元素、またはこれらの元素を組み合わせた合金から成る導電膜に対するものである。エッチングにおいては、対象とする導電膜のエッチング速度と、下地にある遮蔽膜との選択比を特に考慮する必要がある。選択比が大きいと、選択比が困難となり、所望の形状を形成することができなくなる。

【0160】エチチング速度は、ガラス基板上に遮蔽または酸化シリコン膜を形成した試料を用いて行った。マスクを形成するレジストは、1μmの厚さで形成し、それをエッチング装置を用いて行い、エッチングガスは、CF<sub>4</sub>とO<sub>2</sub>の混合ガスを用いた場合、条件1と、CF<sub>4</sub>とO<sub>2</sub>とArの混合ガスを用いた場合、条件2について調べた。表1にその結果を示す。

【表1】

【表1】

条件	①エチチング速度	②酸化シリコン膜の速度	③ガラス基板のエチチング速度	選択比	
	nm/min	nm/min	nm/min	②/①	③/①
条件1	56.5	35.0	61.7	0.65	0.99
条件2	34.9	24.2	94.2	1.34	1.01

【0162】表2はエッチング時間に対する酸化シリコン膜の膜厚の減少量を示す。エッチングは上記と同様に条件1と条件2を比較した。試料はガラス基板上に30nmのシリコン膜と210nmの酸化シリコン

膜を積層させたものを用いた。同様に図26にエッチング時間に対する膜厚の減少量のグラフを示す。

【表2】

【表2】

条件	G1 膜減り量								
	ICP (W)	Bias (V)	使用ガス	エチチング時間 (sec)	平均 (nm)	MAX (nm)	MIN (nm)		
条件1	500	20	CF <sub>4</sub> /Cl <sub>2</sub>	30/30	60	40.00	50.3	33.8	27.0
条件2	500	20	CF <sub>4</sub> /Cl <sub>2</sub>	30/30	110	30.05	37.7	28.7	18.0
条件1	500	20	CF <sub>4</sub> /Cl <sub>2</sub> /O <sub>2</sub>	25/25/10	50	33.79	42.7	28.5	24.2
条件2	500	20	CF <sub>4</sub> /Cl <sub>2</sub> /O <sub>2</sub>	25/25/10	80	44.65	58.5	37.0	31.5
条件1	500	20	CF <sub>4</sub> /Cl <sub>2</sub> /O <sub>2</sub>	25/25/10	100	57.32	78.0	31.5	41.4
条件2	500	20	CF <sub>4</sub> /Cl <sub>2</sub> /O <sub>2</sub>	25/25/10	120	58.74	82.4	38.7	43.7

正味 1 Pa (C-E)

【0164】表1と表2の結果において、エッチングガスにO<sub>2</sub>が添加されているがW膜のエッチング速度が速くなり、酸化シリコン膜のエッチング速度は低下している。即ち、下地との選択比が向上していることを示している。W膜のエッチング速度が向上するのは、O<sub>2</sub>添加によりフッ素ラジカルの量が多くなるためである。また、酸化シリコン膜のエッチング速度が低下するのは、O<sub>2</sub>の添加によりレジストの成分である炭素の酸素と結合してO<sub>2</sub>が形成され、炭素の量が減少するので酸化シリコン膜のエッチング速度が低下するものと考えることができる。

【0165】エッチングにより加工される導電膜の形状は走査電子顕微鏡(SEM)により観察した。評価した試料は、ガラス基板上に100nmの酸化シリコン膜、400nmのW膜が形成されているものを用いた。

第1のエッチング処理(テーパーエッチング)は、エッチング用ガスはCF<sub>4</sub>を3.00SCCMとCF<sub>4</sub>を3.00SCCM流し、1Paの圧力で3.2W/cm<sup>2</sup>のRF(13.56MHz)電力を印入し、基板側(試料ステージ)にも2.2-W/cm<sup>2</sup>のRF(13.56MHz)電力を印入して行った。図27にこの条件でエッチング処理を行って得られる試料の断面形状をSEMにより観察した結果を示している。W膜の端部に形成されるテーパー部の角度は約30度となっている。

【0166】その後、上記条件1と条件2により第2のエッチング処理(異方性エッチング)を行って評価した。図28は条件1により処理された試料、また図29は条件2により処理された試料をSEMにより観察した結果を示す。図28、図29共に同じ形状を得られており、但し、CF<sub>4</sub>とO<sub>2</sub>の混合ガスにO<sub>2</sub>を加えること

によりW膜のエッチング速度並びにレジストのエッチング速度が向上するので、図2-9に示す条件2で形成された試料の作成細工がなっている。しかし、酸化シリコン膜の膜厚の減少量が見ると、全体の力が少なく選択がこまかで優れないと判断することができる。

【(1-1-5)】以上、多くの実験結果から、第1のエッチング処理と第2のエッチング処理において、エチングガスとして「Ar」と「Cl<sub>2</sub>」の混合ガスを採用することができる。このようなエチングガスを選択したとしても、チタニウムチップとするか、異方性エチングガスとするかは基板側に印加する「イアス電力の制御により行うことができる。

【(1-1-6)】実験のうえにおいてしてししDの設計は、W膜の膜厚と第1のエチング処理によるチーバー角 $\pm 1^\circ$ と第2のエチング処理によるチーバー角 $\pm 1^\circ$ から膜厚もそこまでできる。例えば、図においてW膜の厚さが4.5μmである場合、第1のエチング処理により形成されるチーバー部の角度 $\pm 1^\circ$ が3度とすると、第2の不純物領域(A)は1.1μmのチャネル長方向の長さは2.5μmとなる。第2のエチング処理によるチーバー部の減少量は表2より2.4μm/m<sup>2</sup>であるのでそれを考慮すると3.2μm<sup>2</sup>のLDD(Low Dose)が形成されると見積もることができる。実際には膜厚エッチング速度に多少のばらつきがあるので、多少の増減はあるが、このよろなエチング処理により約1.5μmのLDDを形成することはできる。

【(1-1-7)】図2-9は第1のエチング処理として第2の条件を採用し、第2のエチング処理として第2の条件を採用して作製されたTFTのゲート電極(V<sub>g</sub>)対ドレイン電極(D)の特性を示す。TFTの特性はチャネル長7.5μm、チャネル幅8μmであり、LDD(Low Dose)は2μmが見積もられている。図2-9はカチャネル型TFTの特性を示し、LDD(Low Dose)によりゲート電圧-4~5V、ドレイン電圧1~4V時のオフ電流は6~5pAが得られている。

【(1-1-8)】本発明の半導体装置の作製方法に述べた、駆動回路部のpチャネル型TFT、nチャネル型TFTおよび画素TFTをゲート電極とドレインが重なるLDD構造としたアクティブラチタニウム基板を1枚のフォトマスクで製造することができる。LDDの領域が一導電型の不純物元素の濃度を適したもととすることができる。このよろなアクティブラチタニウム基板から反射型の液晶表示装置を作製することができる。また、同工程に述べた、透過型の液晶表示装置を1枚のフォトマスクで製造することができる。

【(1-1-9)】本発明の半導体装置の作製方法に述べた、ゲート電極を耐熱性導電性材料で形成し、ゲート配線を低抵抗導電性被膜で形成したTFTにおいて、駆動回路部がnチャネル型TFT、pチャネル型TFTおよび画素TFTをゲート電極上重なるしづら構造としたアクティブラチタニウム基板を1枚のフォトマスクで製造することができる。このよろなアクティブラチタニウム基板から反射型の液晶表示装置を作製することができる。また、同工程に述べた、透過型の液晶表示装置を1枚のフォトマスクで製造することができる。

#### 【図面の簡単な説明】

【図1】 本発明のTFTの作製方法を説明する図。

【図2】 図1に対するししD領域の不純物元素の濃度分布を説明する図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図7】 画素TFTと駆動回路のTFTの構造を示す上面図。

【図8】 駆動回路のTFTと画素TFTの構造を示す断面図。

【図9】 駆動回路のTFTの構成を示す断面図。

【図10】 画素TFTの構成を示す断面図。

【図11】 画素部と画素を示す上面図。

【図12】 結晶質半導体層の作製工程を示す断面図。

【図13】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図14】 アクティブラチタニウム型液晶表示装置の作製工程を示す断面図。

【図15】 液晶表示装置の入出力端子、配線、回路配置、スペーサー、シーリングの配置を説明する上面図。

【図16】 液晶表示装置の構造を示す俯視図。

【図17】 結晶質半導体層の作製工程を示す断面図。

【図18】 アクティブラチタニウム型表示装置の回路構成を説明するブロック図。

【図19】 ESI表示装置の構造を示す上面図及び断面図。

【図20】 ESI表示装置の画素部の断面図。

【図21】 ESI表示装置の画素部の上面図と回路図。

【図22】 ESI表示装置の画素部の回路回路図。

【図23】 半導体装置の一例を示す図。

【図24】 半導体装置の一例を示す図。

【図25】 投影型液晶表示装置の構成を示す図。

【図2-6】 エッチング時間と酸化塗装シリコン膜の膜厚の減少量を示すグラフ。

【図2-7】 第1のエッチング処理により加工されるW膜の断面形状を示すSEM像。

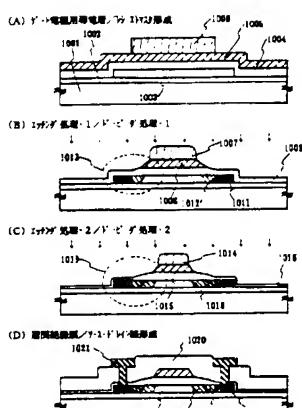
【図2-8】 CF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>の混合ガスを用いた第2のエッチング処理により加工されるW膜の断面形状を示すSEM像。

SEM像。

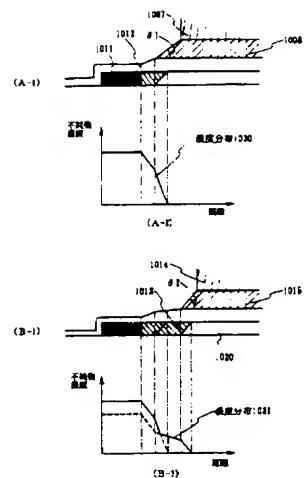
【図2-9】 CF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>の混合ガスを用いた第2のエッチング処理により加工されるW膜の断面形状を示すSEM像。

【図3-0】 TEFの静特性を示すグラフ。

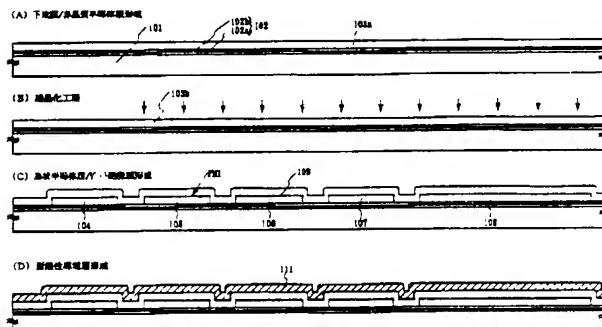
【図1】



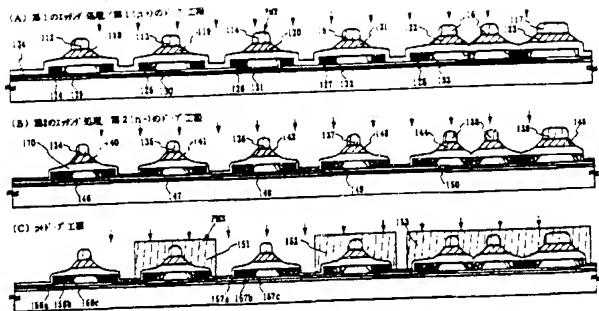
【図2】



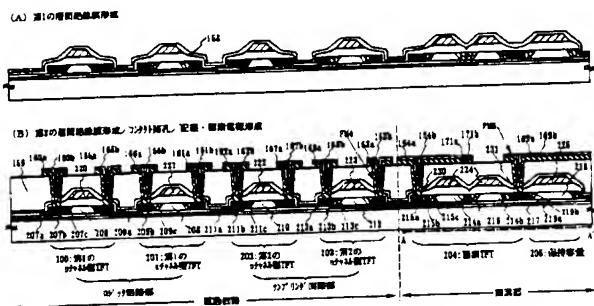
【図3】



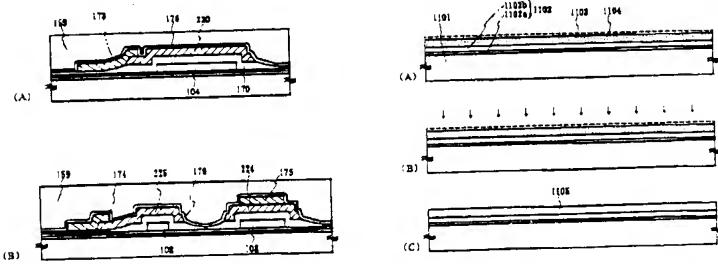
5-1-1



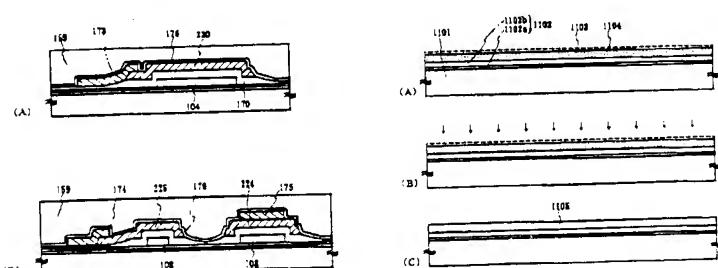
[图 5]



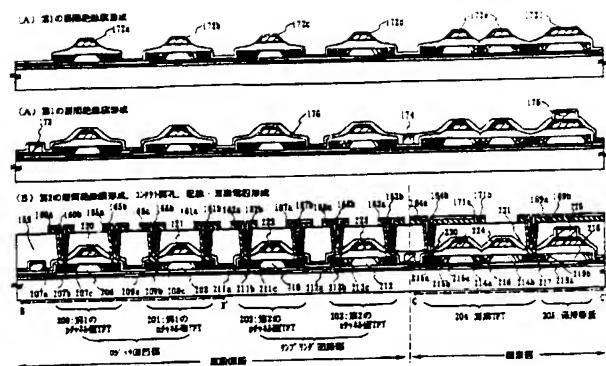
81



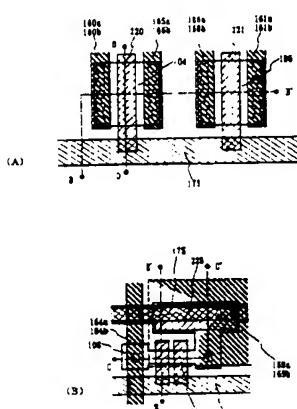
【☒ 12】



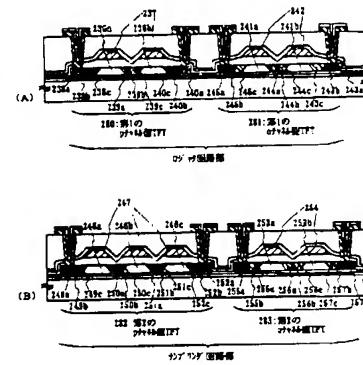
四



【图 2-2】



159



13



[图 10]

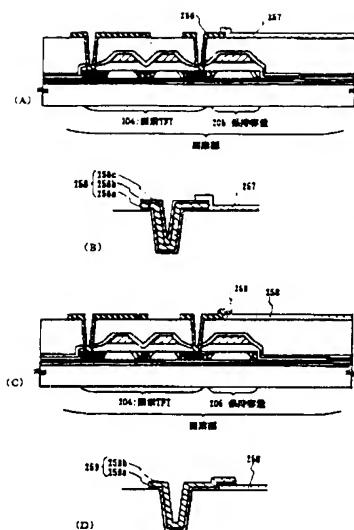
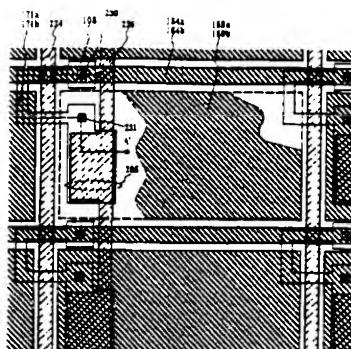
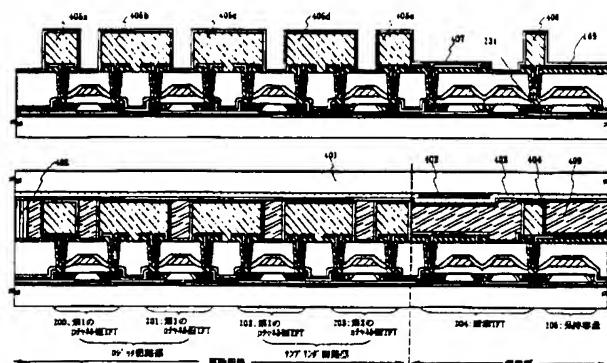


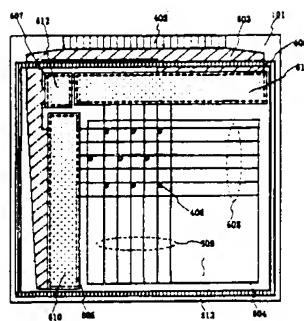
图 1



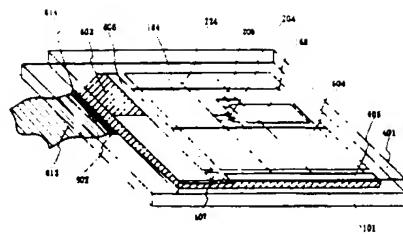
〔图14〕



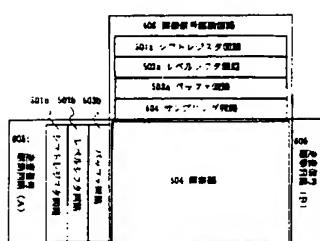
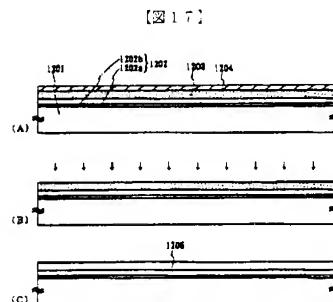
【図15】



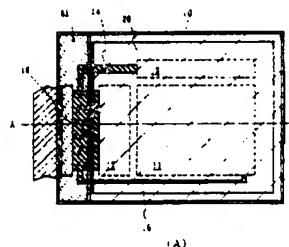
【図16】



【図17】

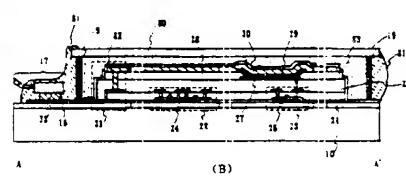


【図18】

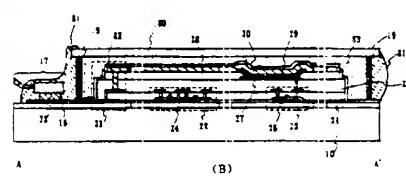


A

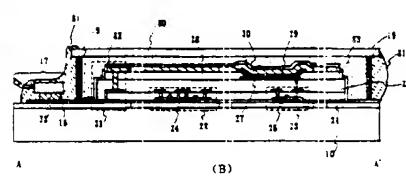
【図27】



A

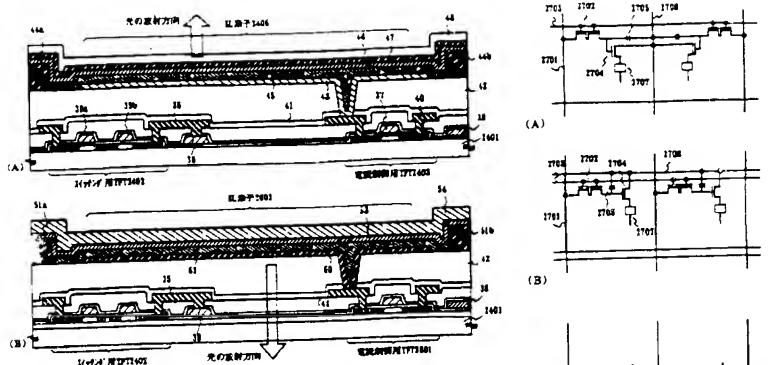


A

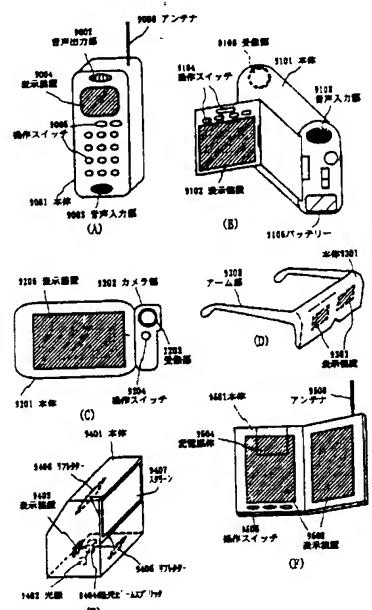


A

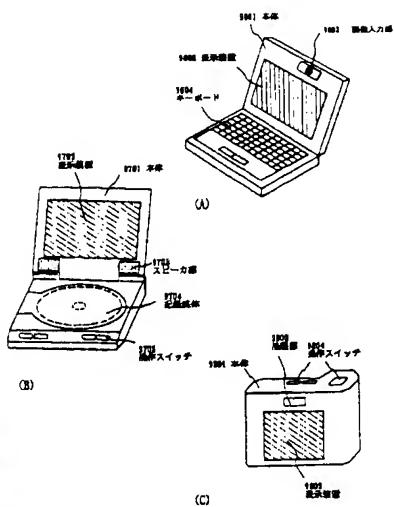
[図20]



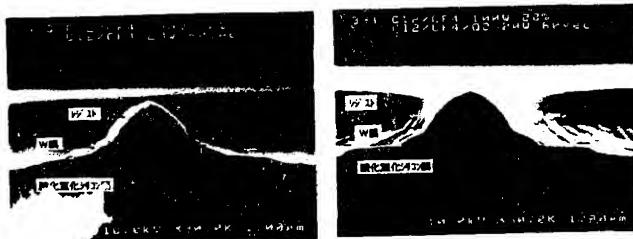
[図23]



[図24]

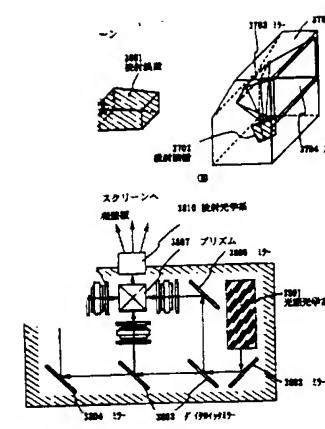


[図28]

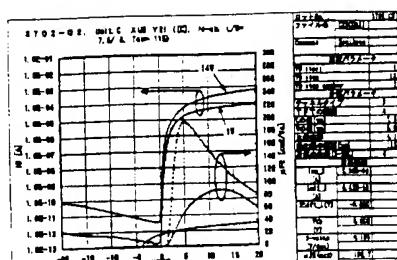


[図29]

[图 25]



〔图30〕



## フロントページの続き

(51) Int. Cl. 7

### 識別記号

F I  
H O I L 29/78

ニ-ズニ-ト (参考)

616 A

617K